# CA-IS376x 高速六通道数字隔离器

## 1 产品特性

- 信号传输速率：DC to 150Mbps
- 宽电源电压范围：2.5V to 5.5V
- 宽温度范围：-40°C to 125°C
- 无需启动初始化
- 默认输出高电平和低电平选项
- 优异的电磁抗扰度
- 高 CMTI：±150kV/μs (典型值)
- 低功耗，(典型值):
  - 电流为 1.5mA/通道（@5V， 1Mbps ）
  - 电流为 6.6mA/通道（@5V， 100Mbps ）
- 精确时序 (典型值)
  - 12ns 传播延迟
  - 1ns 脉冲宽度失真
  - 2ns 传播延迟偏差
  - 5ns 最小脉冲宽度
- 高达 5kV$_{RMS}$ 的隔离电压
- 隔离栅寿命：>40 年
- 具有使能端的三态输出
- 施密特触发器输入
- 窄体 SOIC16-NB(N)和宽体 SOIC16-WB(W) 封装，符合 RoHS 标准

## 2 应用

- 工业自动化
- 电机控制
- 医疗电子
- 隔离开关电源
- 太阳能逆变器
- 隔离 ADC，DAC

## 3 概述

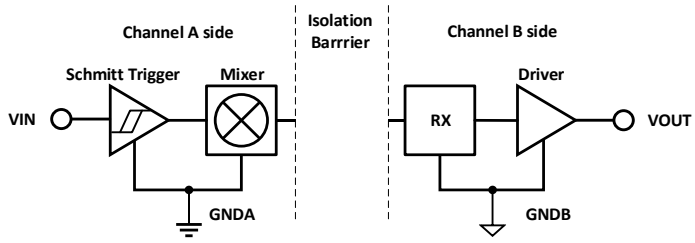
CA-IS376x 是一款高性能六通道数字隔离器，具有精确的时序特性和低电源损耗。 在隔离 CMOS 数字 I/O 时，CA-IS376x 器件可提供高电磁抗扰度和低辐射。所有器件版本均具有施密特触发器输入，可实现高抗噪性能。每条隔离通道的逻辑输入和输出缓冲器均由二氧化硅 ($SiO_2$) 绝缘栅隔离。 CA-IS3760 六个通道都在同一个方向上； CA-IS3761 具有五个前向和一个反向通道， CA-IS3762 具有四个前向和两个反向通道， CA-IS3763 具有三个前向和三个反向通道。所有设备都具有故障安全模式选项。 如果输入侧电源掉电或信号丢失，对于后缀为 L 的设备，默认输出为低，对于带有后缀 H 的设备，默认输出为高。

CA-IS376x 器件具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，从而干扰或损坏敏感电路。 高 CMTI 能力有望保证数字信号的正确传输， CA-IS376x 器件采用 16 引脚窄体 SOIC 和 16 引脚宽体 SOIC 封装。 所有产品均具有 3.75kV$_{RMS}$ 的隔离额定值，宽体封装的产品支持绝缘耐压高达 5kV$_{RMS}$。

**器件信息**

| 零件号 | 封装 | 封装尺寸(标称值) |
|---|---|---|
| CA-IS3760,<br>CA-IS3761,<br>CA-IS3762,<br>CA-IS3763, | SOIC16-NB (N) | 9.90 mm × 3.90 mm |
| | SOIC16-WB(W) | 10.30 mm × 7.50 mm |

**简化通道结构图**




通道 A 和 B 被隔离电容隔开。
GNDA 和 GNDB 分别连接 A 侧信号和 B 侧电源隔离接地。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 4 订购指南

表 4-1 有效订购零件编号

| 型号 | 输入通道数 A 侧 | 输入通道数 B 侧 | 故障安全输出状态 | 额定耐压 (kV) | 输出使能 | 封装 |
|---|---|---|---|---|---|---|
| CA-IS3760LN | 6 | 0 | 低 | 3.75 | 无 | SOIC16-NB |
| CA-IS3760LW | 6 | 0 | 低 | 5.0 | 无 | SOIC16-WB |
| CA-IS3760HN | 6 | 0 | 高 | 3.75 | 无 | SOIC16-NB |
| CA-IS3760HW | 6 | 0 | 高 | 5.0 | 无 | SOIC16-WB |
| CA-IS3761LN | 5 | 1 | 低 | 3.75 | 无 | SOIC16-NB |
| CA-IS3761LW | 5 | 1 | 低 | 5.0 | 无 | SOIC16-WB |
| CA-IS3761HN | 5 | 1 | 高 | 3.75 | 无 | SOIC16-NB |
| CA-IS3761HW | 5 | 1 | 高 | 5.0 | 无 | SOIC16-WB |
| CA-IS3762LN | 4 | 2 | 低 | 3.75 | 无 | SOIC16-NB |
| CA-IS3762LW | 4 | 2 | 低 | 5.0 | 无 | SOIC16-WB |
| CA-IS3762HN | 4 | 2 | 高 | 3.75 | 无 | SOIC16-NB |
| CA-IS3762HW | 4 | 2 | 高 | 5.0 | 无 | SOIC16-WB |
| CA-IS3763LN | 3 | 3 | 低 | 3.75 | 无 | SOIC16-NB |
| CA-IS3763LW | 3 | 3 | 低 | 5.0 | 无 | SOIC16-WB |
| CA-IS3763HN | 3 | 3 | 高 | 3.75 | 无 | SOIC16-NB |
| CA-IS3763HW | 3 | 3 | 高 | 5.0 | 无 | SOIC16-WB |


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

# 目录

**1 产品特性 ..... 1**
**2 应用 ..... 1**
**3 概述 ..... 1**
**4 订购指南 ..... 2**
**5 修订历史 ..... 3**
**6 引脚功能描述 ..... 4**
**7 产品规格 ..... 5**
7.1 绝对最大额定值 [1] ..... 5
7.2 ESD 额定值 ..... 5
7.3 建议工作条件 ..... 5
7.4 热量信息 ..... 6
7.5 额定功率 ..... 6
7.6 隔离特性 ..... 7
7.7 安全相关认证 ..... 8
7.8 电气特性 ..... 9
7.8.1 $V_{DDA}$ = $V_{DDB}$ = 5 V ± 10%, $T_A$ = -40 to 125°C ..... 9
7.8.2 $V_{DDA}$ = $V_{DDB}$ = 3.3 V ± 10%, $T_A$ = -40 to 125°C ..... 9
7.8.3 $V_{DDA}$ = $V_{DDB}$ = 2.5 V ± 5%, $T_A$ = -40 to 125°C ..... 9
7.9 电源电流特性 ..... 10
7.9.1 $V_{DDA}$ = $V_{DDB}$ = 5 V ± 10%, $T_A$ = -40 to 125°C ..... 10
7.9.2 $V_{DDA}$ = $V_{DDB}$ = 3.3 V ± 10%, $T_A$ = -40 to 125°C ..... 11
7.9.3 $V_{DDA}$ = $V_{DDB}$ = 2.5 V ± 5%, $T_A$ = -40 to 125°C ..... 12
7.10 时序特性 ..... 13
7.10.1 $V_{DDA}$ = $V_{DDB}$ = 5 V ± 10%, $T_A$ = -40 to 125°C ..... 13
7.10.2 $V_{DDA}$ = $V_{DDB}$ = 3.3 V ± 10%, $T_A$ = -40 to 125°C 13
7.10.3 $V_{DDA}$ = $V_{DDB}$ = 2.5 V ± 5%, $T_A$ = -40 to 125°C .. 13
**8 参数测量信息 ..... 14**
**9 详细说明 ..... 16**
9.1 工作原理 ..... 16
9.1 功能框图 ..... 16
9.2 真值表 ..... 17
**10 应用电路 ..... 18**
**11 封装信息 ..... 19**
11.1 SOIC16 宽体外形尺寸 ..... 19
11.2 SOIC16 窄体外形尺寸 ..... 20
**12 焊接信息 ..... 21**
**13 编带信息 ..... 22**
**14 重要声明 ..... 23**

## 5 修订历史

| 修订版本号 | 修订内容 | 页码 |
|---|---|---|
| Version 1.0 | NA | NA |
| Version 1.01 | 更新宽体 $V_{IORM}$ 值为 1414V，$V_{IOWM}$ 交流 RMS 值为 1000V，直流值为 1414V。<br>更新功耗表。 | 7<br>10，11，12 |
| Version 1.02 | $V_{IT+(IN)}$最小值更新 2V，$V_{IT-(IN)}$最大值更新为 0.8V，删除迟滞电压 $V_{I(HYS)}$。 | 9 |
| Version 1.03 | $V_{IT+(IN)}$描述改为输入阈值逻辑高电平，$V_{IT-(IN)}$描述改为输入阈值逻辑低电平。 | 9 |
| Version 1.04 | 修订 POD 及载带尺寸 | 19,20,22 |

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 6 引脚功能描述

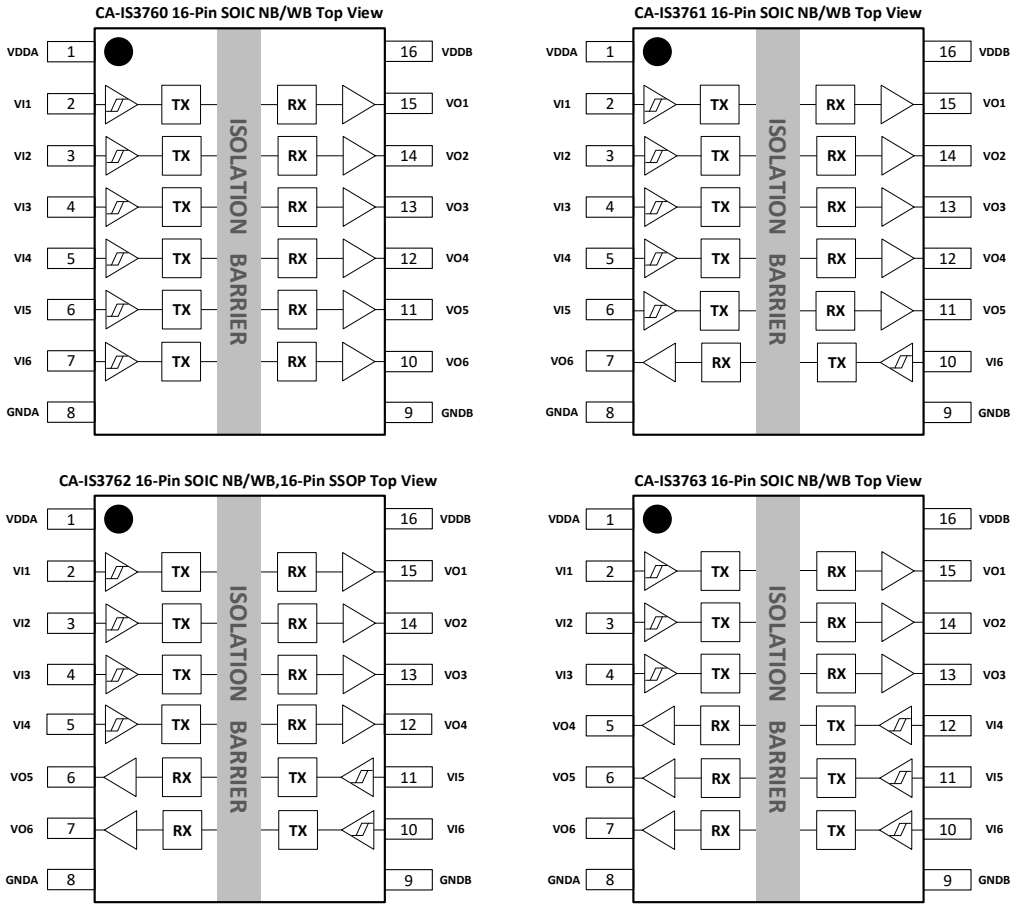



**图 6-1 CA-IS376x 顶部视图**

**表 6-1 CA-IS376x 引脚功能描述**

| 引脚名称 | SOIC16 引脚编号 | 类型 | 描述 |
|---|---|---|---|
| VDDA | 1 | 电源 | A 侧电源电压 |
| VI1 | 2 | 逻辑输入 | A 侧逻辑输入 |
| VI2 | 3 | 逻辑输入 | A 侧逻辑输入 |
| VI3 | 4 | 逻辑输入 | A 侧逻辑输入 |
| VI4/VO4 | 5 | 逻辑输入/输出 | CA-IS3760/61/62 A 侧逻辑输入/ CA-IS3763 A 侧逻辑输出 |
| VI5/VO5 | 6 | 逻辑输入/输出 | CA-IS3760/61 A 侧逻辑输入/ CA-IS3762/63 A 侧逻辑输出 |
| VI6/VO6 | 7 | 逻辑输入/输出 | CA-IS3760 A 侧逻辑输入/ CA-IS3761/62/63 A 侧逻辑输出 |
| GNDA | 8 | 地 | A 侧接地基准点 |
| GNDB | 9 | 地 | B 侧接地基准点 |
| VI6/VO6 | 10 | 逻辑输入/输出 | CA-IS3761/62/63 B 侧逻辑输入/CA-IS3760 B 侧逻辑输出 |
| VI5/VO5 | 11 | 逻辑输入/输出 | CA-IS3762/63 B 侧逻辑输入/ CA-IS3760/61 B 侧逻辑输出 |
| VI4/VO4 | 12 | 逻辑输入/输出 | CA-IS3763 B 侧逻辑输入/ CA-IS3760/61/62 B 侧逻辑输出 |
| VO3 | 13 | 逻辑输入/输出 | B 侧逻辑输出 |
| VO2 | 14 | 逻辑输入/输出 | B 侧逻辑输出 |
| VO1 | 15 | 逻辑输入/输出 | B 侧逻辑输出 |
| VDDB | 16 | 电源 | B 侧电源电压 |


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

# 7 产品规格

## 7.1 绝对最大额定值 [1]

| 参数 | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| $V_{DDA}$, $V_{DDB}$ | 电源电压 [2] | -0.5 | 7.0 | V |
| $V_{in}$ | 输入电压 Ax, Bx | -0.5 | $V_{DD}$+0.5 [3] | V |
| $I_O$ | 输出电流 | -20 | 20 | mA |
| $T_J$ | 结温 | | 150 | ℃ |
| $T_{STG}$ | 存储温度范围 | -65 | 150 | ℃ |

备注:
1，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
2，除差分 I / O 总线电压以外的所有电压值，均相对于本地接地端子（GNDA 或 GNDB），并且是峰值电压值。
3，最大电压不得超过 7 V。

## 7.2 ESD 额定值

| | | 数值 | 单位 |
|---|---|---|---|
| $V_{ESD}$ 静电放电 | 人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001,所有引脚 [1] | ±6000 | V |
| | 组件充电模式(CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 [2] | ±2000 | |

## 7.3 建议工作条件

| 参数 | | | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $V_{DDA}$, $V_{DDB}$ | 电源电压 | | 2.375 | 3.3 | 5.5 | V |
| $V_{DD（UVLO+）}$ | $V_{DD}$ 电源电压上升时的欠压阈值 | | 1.95 | 2.24 | 2.375 | V |
| $V_{DD（UVLO-）}$ | $V_{DD}$ 电源电压下降时的欠压阈值 | | 1.88 | 2.10 | 2.325 | V |
| $V_{HYS（UVLO）}$ | $V_{DD}$ 迟滞欠压阈值 | | 70 | 140 | 250 | mV |
| $I_{OH}$ | 高电平输出电流 | $V_{DDO}$ [1] = 5V | -4 | | | mA |
| | | $V_{DDO}$ = 3.3V | -2 | | | |
| | | $V_{DDO}$ = 2.5V | -1 | | | |
| $I_{OL}$ | 低电平输出电流 | $V_{DDO}$ = 5V | | | 4 | mA |
| | | $V_{DDO}$ = 3.3V | | | 2 | |
| | | $V_{DDO}$ = 2.5V | | | 1 | |
| $V_{IH}$ | 输入阈值逻辑高电平 | | 2.0 | | | V |
| $V_{IL}$ | 输入阈值逻辑低电平 | | | | 0.8 | V |
| DR | 信号传输速率 | | 0 | | 150 | Mbps |
| $T_A$ | 环境温度 | | -40 | 27 | 125 | ℃ |

备注:
1，$V_{DDO}$ = 输出侧 $V_{DD}$

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 7.4 热量信息

| 热量表 | | CA-IS376x | | 单位 |
|---|---|---|---|---|
| | | SOIC16-NB(N) | SOIC16-WB(W) | |
| $R_{\theta JA}$ | IC 结至环境的热阻 | 96.2 | 83.4 | °C/W |

## 7.5 额定功率

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| CA-IS3760 | | | | | | |
| $P_D$ | 最大功耗 | $V_{DDA}$ = $V_{DDB}$ = 5.5 V, $C_L$ = 15 pF, $T_J$ = 150°C, 输入 75MHz 50% 占空比方波 | | | 494 | mW |
| $P_{DA}$ | A 侧的最大功耗 | | | | 49 | mW |
| $P_{DB}$ | B 侧的最大功耗 | | | | 445 | mW |
| CA-IS3761 | | | | | | |
| $P_D$ | 最大功耗 | $V_{DDA}$ = $V_{DDB}$ = 5.5 V, $C_L$ = 15 pF, $T_J$ = 150°C, 输入 75MHz 50% 占空比方波 | | | 494 | mW |
| $P_{DA}$ | A 侧的最大功耗 | | | | 113 | mW |
| $P_{DB}$ | B 侧的最大功耗 | | | | 381 | mW |
| CA-IS3762 | | | | | | |
| $P_D$ | 最大功耗 | $V_{DDA}$ = $V_{DDB}$ = 5.5 V, $C_L$ = 15 pF, $T_J$ = 150°C, 输入 75MHz 50% 占空比方波 | | | 494 | mW |
| $P_{DA}$ | A 侧的最大功耗 | | | | 180 | mW |
| $P_{DB}$ | B 侧的最大功耗 | | | | 314 | mW |
| CA-IS3763 | | | | | | |
| $P_D$ | 最大功耗 | $V_{DDA}$ = $V_{DDB}$ = 5.5 V, $C_L$ = 15 pF, $T_J$ = 150°C, 输入 75MHz 50% 占空比方波 | | | 494 | mW |
| $P_{DA}$ | A 侧的最大功耗 | | | | 247 | mW |
| $P_{DB}$ | B 侧的最大功耗 | | | | 247 | mW |


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 7.6 隔离特性

| 参数 | | 测试条件 | 封装 | | 单位 |
|---|---|---|---|---|---|
| | | | W | N | |
| CLR | 外部气隙（间隙）[1] | 测量输入端至输出端，隔空最短距离 | 8 | 4 | mm |
| CPG | 外部爬电距离 [1] | 测量输入端至输出端，沿壳体最短距离 | 8 | 4 | mm |
| DTI | 隔离距离 | 最小内部间隙 （内部距离) | 24 | 24 | μm |
| CTI | 相对漏电指数 | DIN EN 60112 (VDE 0303-11); IEC 60112 | >600 | >600 | V |
| | 材料组 | 依据 IEC 60664-1 | I | I | |
| | IEC 60664-1 过压类别 | 额定市电电压≤ 300 $V_{RMS}$ | I-IV | I-III | |
| | | 额定市电电压≤ 400 $V_{RMS}$ | I-IV | I-III | |
| | | 额定市电电压 ≤ 600 $V_{RMS}$ | I-III | n/a | |
| $V_{IORM}$ | 最大重复峰值隔离电压 | 交流电压(双极) | 1414 | 566 | $V_{PK}$ |
| $V_{IOWM}$ | 最大工作隔离电压 | 交流电压; 时间相关的介质击穿 (TDDB) 测试 | 1000 | 400 | $V_{RMS}$ |
| | | 直流电压 | 1414 | 566 | $V_{DC}$ |
| $V_{IOTM}$ | 最大瞬态隔离电压 | $V_{TEST} = V_{IOTM}$, t = 60 s (认证); $V_{TEST} = 1.2 \times V_{IOTM}$, t= 1 s (100% 产品测试) | 7070 | 5300 | $V_{PK}$ |
| $V_{IOSM}$ | 最大浪涌隔离电压 [3] | 测试方法 依据 IEC 60065, 1.2/50 μs 波形, $V_{TEST} = 1.6 \times V_{IOSM}$ (生产测试) | 6250 | 5000 | $V_{PK}$ |
| $q_{pd}$ | 表征电荷 [4] | 方法 a，输入/输出安全测试子类 2/3 后，$V_{ini} = V_{IOTM}$, $t_{ini}$ = 60 s; $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m$ = 10 s | ≤5 | ≤5 | pC |
| | | 方法 a，环境测试子类 1 后，$V_{ini} = V_{IOTM}$, $t_{ini}$ = 60 s; $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m$ = 10 s | ≤5 | ≤5 | |
| | | 方法 b1, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) $V_{ini} = 1.2 \times V_{IOTM}$, $t_{ini}$ = 1 s; $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m$ = 1 s | ≤5 | ≤5 | |
| $C_{IO}$ | 栅电容, 输入到输出 [5] | $V_{IO}$ = 0.4 × sin (2πft), f = 1 MHz | ~0.5 | ~0.5 | pF |
| $R_{IO}$ | 绝缘电阻 [5] | $V_{IO}$ = 500 V, $T_A$ = 25°C | >$10^{12}$ | >$10^{12}$ | Ω |
| | | $V_{IO}$ = 500 V, 100°C ≤ $T_A$ ≤ 125°C | >$10^{11}$ | >$10^{11}$ | |
| | | $V_{IO}$ = 500 V at $T_S$ = 150°C | >$10^{9}$ | >$10^{9}$ | |
| | 污染度 | | 2 | 2 | |
| $V_{ISO}$ | 最大隔离电压 | $V_{TEST} = V_{ISO}$ , t = 60 s (认证), $V_{TEST} = 1.2 \times V_{ISO}$ , t = 1 s (100%生产测试) | 5000 | 3750 | $V_{RMS}$ |

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 7.7 安全相关认证

| VDE | UL | CQC | TUV |
|---|---|---|---|
| 根据 DIN V VDE V 0884-11:2017-01 认证 | UL1577 器件认证程序认证 | 根据 GB4943.1-2011 和 GB 8898-2011 认证 | 根据 EN/IEC 61010-1:2010 (3rd Ed)和 EN/IEC 62368-1:2014+A11:2017 认证 |
| Maximum transient isolation voltage, 7070$V_{pk}$(SOIC16-W), 5300$V_{pk}$(SOIC16-N) | SOP16-N: 3750 $V_{RMS}$；<br>SOP16-W: 5000 $V_{RMS}$ | SOP16-N: 基本绝缘，最大工作电压 400 $V_{RMS}$；<br>SOP16-W: 加强绝缘，最大工作电压 1000 $V_{RMS}$<br>（仅适用于海拔 5000 米及以下） | 5000 $V_{RMS}$(SOP16-W)和 3750 $V_{RMS}$(SOP16-N)<br>根据加强绝缘 EN/IEC 61010-1:2010 (3rd Ed)<br>和 EN/IEC 62368-1:2014+A11:2017，<br>最大工作电压 1000 $V_{RMS}$(SOP16-W)<br>和 400 $V_{RMS}$(SOP16-N) |
| 证书编号：40052786 | 证书编号：<br>E511334-20200117 | 证书编号<br>SOP16-N: CQC20001251750<br>SOP16-W: CQC20001251466 | CB 证书编号：<br>JPTUV-111116；<br>DE 2-027880<br>AK 证书编号：<br>AK 50474784 0001；<br>AK 50474786 0001 |


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 7.8 电气特性

### 7.8.1 $V_{DDA}$ = $V_{DDB}$ = 5 V ± 10%, $T_A$ = -40 to 125°C

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | 输出电压逻辑高电平 | $I_{OH}$ = -4mA; 图 8-1 | $V_{DDO}$[1]-0.4 | 4.8 | | V |
| $V_{OL}$ | 输出电压逻辑低电平 | $I_{OL}$ = 4mA; 图 8-1 | | 0.2 | 0.4 | V |
| $V_{IT+(IN)}$ | 输入阈值逻辑高电平 | | 2 | | | V |
| $V_{IT-(IN)}$ | 输入阈值逻辑低电平 | | | | 0.8 | V |
| $I_{IH}$ | 输入高电平漏电流 | $V_{IH}$ = $V_{DDA}$ at Ax or Bx | | | 20 | μA |
| $I_{IL}$ | 输入低电平漏电流 | $V_{IL}$ = 0 V at Ax or Bx | -20 | | | μA |
| $Z_O$ | 输出阻抗 [2] | | | 50 | | Ω |
| CMTI | 共模瞬变抗扰度 | $V_I$ = $V_{DDI}$[1] or 0 V, $V_{CM}$ = 1200 V; 图 8-3 | 100 | 150 | | kV/μs |
| $C_I$ | 输入电容 [3] | $V_I$ = $V_{DD}$/ 2 + 0.4×sin(2πft), f = 1 MHz, $V_{DD}$ = 5 V | | 2 | | pF |

备注:
1. $V_{DDI}$ =输入侧 $V_{DD}$, $V_{DDO}$ = 输出侧 $V_{DD}$
2. 正常隔离器通道的输出阻抗约为 50Ω±40%。
3. 从引脚到地测量。

### 7.8.2 $V_{DDA}$ = $V_{DDB}$ = 3.3 V ± 10%, $T_A$ = -40 to 125°C

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | 输出电压逻辑高电平 | $I_{OH}$ = -4mA; 图 8-1 | $V_{DDO}$[1]-0.4 | 3.1 | | V |
| $V_{OL}$ | 输出电压逻辑低电平 | $I_{OL}$ = 4mA; 图 8-1 | | 0.2 | 0.4 | V |
| $V_{IT+(IN)}$ | 输入阈值逻辑高电平 | | 2 | | | V |
| $V_{IT-(IN)}$ | 输入阈值逻辑低电平 | | | | 0.8 | V |
| $I_{IH}$ | 输入高电平漏电流 | $V_{IH}$ = $V_{DDA}$ at Ax or Bx | | | 20 | μA |
| $I_{IL}$ | 输入低电平漏电流 | $V_{IL}$ = 0 V at Ax or Bx | -20 | | | μA |
| $Z_O$ | 输出阻抗 [2] | | | 50 | | Ω |
| CMTI | 共模瞬变抗扰度 | $V_I$ = $V_{DDI}$[1] or 0 V, $V_{CM}$ = 1200 V; 图 8-3 | 100 | 150 | | kV/μs |
| $C_I$ | 输入电容 [3] | $V_I$ = $V_{DD}$/ 2 + 0.4×sin(2πft), f = 1 MHz, $V_{DD}$ = 5 V | | 2 | | pF |

备注:
1. $V_{DDI}$ =输入侧 $V_{DD}$, $V_{DDO}$ = 输出侧 $V_{DD}$
2. 正常隔离器通道的输出阻抗约为 50Ω±40%。
3. 从引脚到地测量。

### 7.8.3 $V_{DDA}$ = $V_{DDB}$ = 2.5 V ± 5%, $T_A$ = -40 to 125°C

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | 输出电压逻辑高电平 | $I_{OH}$ = -4mA; 图 8-1 | $V_{DDO}$[1]-0.4 | 2.3 | | V |
| $V_{OL}$ | 输出电压逻辑低电平 | $I_{OL}$ = 4mA; 图 8-1 | | 0.2 | 0.4 | V |
| $V_{IT+(IN)}$ | 输入阈值逻辑高电平 | | 2 | | | V |
| $V_{IT-(IN)}$ | 输入阈值逻辑低电平 | | | | 0.8 | V |
| $I_{IH}$ | 输入高电平漏电流 | $V_{IH}$ = $V_{DDA}$ at Ax or Bx | | | 20 | μA |
| $I_{IL}$ | 输入低电平漏电流 | $V_{IL}$ = 0 V at Ax or Bx | -20 | | | μA |
| $Z_O$ | 输出阻抗 [2] | | | 50 | | Ω |
| CMTI | 共模瞬变抗扰度 | $V_I$ = $V_{DDI}$[1] or 0 V, $V_{CM}$ = 1200 V; 图 8-3 | 100 | 150 | | kV/μs |
| $C_I$ | 输入电容 [3] | $V_I$ = $V_{DD}$/ 2 + 0.4×sin(2πft), f = 1 MHz, $V_{DD}$ = 5 V | | 2 | | pF |

备注:
1. $V_{DDI}$ =输入侧 $V_{DD}$, $V_{DDO}$ = 输出侧 $V_{DD}$
2. 正常隔离器通道的输出阻抗约为 50Ω±40%。
3. 从引脚到地测量。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 7.9 电源电流特性

### 7.9.1 $V_{DDA}$ = $V_{DDB}$ = 5 V ± 10%, $T_A$ = -40 to 125°C

| 参数 | 测试条件 | | 电源电流 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **CA-IS3760** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3760L); $V_{IN}$ = $V_{DDA}$ (CA-IS3760H) | | $I_{DDA}$ | | 2.0 | 2.9 | mA |
| | | | $I_{DDB}$ | | 3.9 | 5.7 | |
| | $V_{IN}$ = $V_{DDA}$ (CA-IS3760L); $V_{IN}$ = 0V(CA-IS3760H) | | $I_{DDA}$ | | 7.0 | 10.7 | |
| | | | $I_{DDB}$ | | 4.1 | 6.1 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.5 | 6.8 | |
| | | | $I_{DDB}$ | | 6.3 | 9.3 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 4.8 | 7.2 | |
| | | | $I_{DDB}$ | | 26.9 | 40.6 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 6.4 | 9.5 | |
| | | | $I_{DDB}$ | | 59.0 | 80 | |
| **CA-IS3761** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3761L); $V_{IN}$ = $V_{DDI}$[1] (CA-IS3761H) | | $I_{DDA}$ | | 2.3 | 3.4 | mA |
| | | | $I_{DDB}$ | | 3.6 | 5.3 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3761L); $V_{IN}$ = 0V(CA-IS3761H) | | $I_{DDA}$ | | 6.5 | 9.9 | |
| | | | $I_{DDB}$ | | 4.6 | 6.9 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.5 | 6.7 | |
| | | | $I_{DDB}$ | | 5.7 | 8.4 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 5.1 | 7.6 | |
| | | | $I_{DDB}$ | | 19.8 | 29.9 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 10.6 | 16.3 | |
| | | | $I_{DDB}$ | | 45.6 | 62.1 | |
| **CA-IS3762** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3762L); $V_{IN}$ = $V_{DDI}$[1] (CA-IS3762H) | | $I_{DDA}$ | | 2.8 | 4.5 | mA |
| | | | $I_{DDB}$ | | 3.8 | 5.8 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3762L); $V_{IN}$ = 0V(CA-IS3762H) | | $I_{DDA}$ | | 6.2 | 9.9 | |
| | | | $I_{DDB}$ | | 5.6 | 8.7 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 $C_L$ = 15 pF l | 1Mbps (500kHz) | $I_{DDA}$ | | 5.4 | 8.3 | |
| | | | $I_{DDB}$ | | 6.3 | 9.5 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 13.1 | 18.3 | |
| | | | $I_{DDB}$ | | 21.0 | 31.5 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 26.0 | 36.9 | |
| | | | $I_{DDB}$ | | 44.7 | 72.2 | |
| **CA-IS3763** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3763L); $V_{IN}$ = $V_{DDI}$[1] (CA-IS3763H) | | $I_{DDA}$ | | 2.9 | 4.4 | mA |
| | | | $I_{DDB}$ | | 2.9 | 4.4 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3763L); $V_{IN}$ = 0V(CA-IS3763H) | | $I_{DDA}$ | | 5.5 | 8.4 | |
| | | | $I_{DDB}$ | | 5.5 | 8.4 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.3 | 6.5 | |
| | | | $I_{DDB}$ | | 4.3 | 6.5 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 5.7 | 8.4 | |
| | | | $I_{DDB}$ | | 5.7 | 8.4 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 19.9 | 30.0 | |
| | | | $I_{DDB}$ | | 19.9 | 30.0 | |

备注:

1. $V_{DDI}$ = 输入侧 $V_{DD}$


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

### 7.9.2 $V_{DDA}$ = $V_{DDB}$ = 3.3 V ± 10%, $T_A$ = -40 to 125°C

| 参数 | 测试条件 | | 电源电流 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **CA-IS3760** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3760L); $V_{IN}$ = $V_{DDA}$ (CA-IS3760H) | | $I_{DDA}$ | | 1.9 | 2.8 | mA |
| | | | $I_{DDB}$ | | 3.6 | 5.4 | |
| | $V_{IN}$ = $V_{DDA}$ (CA-IS3760L); $V_{IN}$ = 0V(CA-IS3760H) | | $I_{DDA}$ | | 6.8 | 10.5 | |
| | | | $I_{DDB}$ | | 3.9 | 5.7 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 3.3V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.4 | 6.7 | |
| | | | $I_{DDB}$ | | 5.2 | 7.5 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 4.6 | 7.0 | |
| | | | $I_{DDB}$ | | 18.3 | 24.6 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 6.1 | 9.0 | |
| | | | $I_{DDB}$ | | 38.3 | 51.8 | |
| **CA-IS3761** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3761L); $V_{IN}$ = $V_{DDI}$[1] (CA-IS3761H) | | $I_{DDA}$ | | 2.2 | 3.2 | mA |
| | | | $I_{DDB}$ | | 3.4 | 5.0 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3761L); $V_{IN}$ = 0V(CA-IS3761H) | | $I_{DDA}$ | | 6.3 | 9.7 | |
| | | | $I_{DDB}$ | | 4.4 | 6.5 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 3.3V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.3 | 6.5 | |
| | | | $I_{DDB}$ | | 4.8 | 7.1 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 4.8 | 7.1 | |
| | | | $I_{DDB}$ | | 13.9 | 18.9 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 8.6 | 12.2 | |
| | | | $I_{DDB}$ | | 30.1 | 40.8 | |
| **CA-IS3762** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3762L); $V_{IN}$ = $V_{DDI}$[1] (CA-IS3762H) | | $I_{DDA}$ | | 2.7 | 4.3 | mA |
| | | | $I_{DDB}$ | | 3.6 | 5.6 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3762L); $V_{IN}$ = 0V(CA-IS3762H) | | $I_{DDA}$ | | 6.0 | 9.7 | |
| | | | $I_{DDB}$ | | 5.4 | 8.4 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 3.3V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.9 | 7.7 | |
| | | | $I_{DDB}$ | | 5.6 | 8.5 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 10.0 | 14.3 | |
| | | | $I_{DDB}$ | | 15.2 | 22.7 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 18.5 | 26.2 | |
| | | | $I_{DDB}$ | | 30.4 | 48.1 | |
| **CA-IS3763** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3763L); $V_{IN}$ = $V_{DDI}$[1] (CA-IS3763H) | | $I_{DDA}$ | | 2.7 | 4.1 | mA |
| | | | $I_{DDB}$ | | 2.7 | 4.1 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3763L); $V_{IN}$ = 0V(CA-IS3763H) | | $I_{DDA}$ | | 5.3 | 8.1 | |
| | | | $I_{DDB}$ | | 5.3 | 8.1 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 3.3V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.1 | 6.2 | |
| | | | $I_{DDB}$ | | 4.1 | 6.2 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 5.1 | 7.4 | |
| | | | $I_{DDB}$ | | 5.1 | 7.4 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 13.6 | 18.7 | |
| | | | $I_{DDB}$ | | 13.6 | 18.7 | |

备注:

1. $V_{DDI}$ = 输入侧 $V_{DD}$

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

### 7.9.3 $V_{DDA}$ = $V_{DDB}$ = 2.5 V ± 5%, $T_A$ = -40 to 125°C

| 参数 | 测试条件 | | 电源电流 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| **CA-IS3760** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3760L);<br>$V_{IN}$ = $V_{DDA}$ (CA-IS3760H) | | $I_{DDA}$ | | 1.9 | 2.7 | mA |
| | | | $I_{DDB}$ | | 3.6 | 5.2 | |
| | $V_{IN}$ = $V_{DDA}$ (CA-IS3760L);<br>$V_{IN}$ = 0V(CA-IS3760H) | | $I_{DDA}$ | | 6.8 | 10.4 | |
| | | | $I_{DDB}$ | | 3.8 | 5.5 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 2.5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.3 | 6.6 | |
| | | | $I_{DDB}$ | | 4.8 | 6.9 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 4.6 | 6.9 | |
| | | | $I_{DDB}$ | | 14.7 | 19.8 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 5.7 | 8.5 | |
| | | | $I_{DDB}$ | | 28.9 | 39.0 | |
| **CA-IS3761** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3761L);<br>$V_{IN}$ = $V_{DDI}$[1] (CA-IS3761H) | | $I_{DDA}$ | | 2.1 | 3.2 | mA |
| | | | $I_{DDB}$ | | 3.3 | 4.8 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3761L);<br>$V_{IN}$ = 0V(CA-IS3761H) | | $I_{DDA}$ | | 6.3 | 9.6 | |
| | | | $I_{DDB}$ | | 4.3 | 6.4 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 2.5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.3 | 6.4 | |
| | | | $I_{DDB}$ | | 4.5 | 6.6 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 4.6 | 6.9 | |
| | | | $I_{DDB}$ | | 11.4 | 15.5 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 7.6 | 10.8 | |
| | | | $I_{DDB}$ | | 23.1 | 31.2 | |
| **CA-IS3762** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3762L);<br>$V_{IN}$ = $V_{DDI}$[1] (CA-IS3762H) | | $I_{DDA}$ | | 2.6 | 4.2 | mA |
| | | | $I_{DDB}$ | | 3.5 | 5.5 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3762L);<br>$V_{IN}$ = 0V(CA-IS3762H) | | $I_{DDA}$ | | 6.0 | 9.6 | |
| | | | $I_{DDB}$ | | 5.3 | 8.3 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 2.5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.8 | 7.4 | |
| | | | $I_{DDB}$ | | 5.2 | 8.0 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 8.6 | 12.4 | |
| | | | $I_{DDB}$ | | 12.6 | 18.6 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 14.8 | 21.2 | |
| | | | $I_{DDB}$ | | 23.3 | 36.3 | |
| **CA-IS3763** | | | | | | | |
| 电源电流 –直流信号 | $V_{IN}$ = 0V (CA-IS3763L);<br>$V_{IN}$ = $V_{DDI}$[1] (CA-IS3763H) | | $I_{DDA}$ | | 2.7 | 4.0 | mA |
| | | | $I_{DDB}$ | | 2.7 | 4.0 | |
| | $V_{IN}$ = $V_{DDI}$[1] (CA-IS3763L);<br>$V_{IN}$ = 0V(CA-IS3763H) | | $I_{DDA}$ | | 5.2 | 8.0 | |
| | | | $I_{DDB}$ | | 5.2 | 8.0 | |
| 电源电流 – 交流信号 | 所有通道输入 50%占空比，幅值为 2.5V 的方波;每个通道 $C_L$ = 15 pF | 1Mbps (500kHz) | $I_{DDA}$ | | 4.0 | 6.1 | |
| | | | $I_{DDB}$ | | 4.0 | 6.1 | |
| | | 10Mbps (5MHz) | $I_{DDA}$ | | 4.8 | 7.0 | |
| | | | $I_{DDB}$ | | 4.8 | 7.0 | |
| | | 100Mbps (50MHz) | $I_{DDA}$ | | 11.3 | 16.0 | |
| | | | $I_{DDB}$ | | 11.3 | 16.0 | |

备注:

1. $V_{DDI}$ = 输入侧 $V_{DD}$


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 7.10 时序特性

### 7.10.1 $V_{DDA}$ = $V_{DDB}$ = 5 V ± 10%, $T_A$ = -40 to 125°C

| 参数 | | 测试说明 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| DR | 数据速率 | | 0 | | 150 | Mbps |
| $PW_{min}$ | 最小脉宽 | | | | 5.0 | ns |
| $t_{PLH}$, $t_{PHL}$ | 传播延迟 | 图 8-1 | 5.0 | 12.0 | 15.0 | ns |
| PWD | 脉冲宽度失真 $\|t_{PLH} - t_{PHL}\|$ | | | 0.2 | 4.5 | ns |
| $t_{sk(o)}$ | 通道到通道输出偏移时间 [1] | 同方向通道 | | 0.4 | 2.5 | ns |
| $t_{sk(pp)}$ | 片与片之间通道输出偏移时间 [2] | | | 2.0 | 4.5 | ns |
| $t_r$ | 输出上升时间 | 图 8-1 | | 2.5 | 4.0 | ns |
| $t_f$ | 输出下降时间 | 图 8-1 | | 2.5 | 4.0 | ns |
| $t_{DO}$ | 默认输出延迟时间从输入电源损耗 | 图 8-2 | | 8 | 12 | µs |
| $t_{SU}$ | 启动时间 | | | 15 | 40 | µs |

备注:
1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

### 7.10.2 $V_{DDA}$ = $V_{DDB}$ = 3.3 V ± 10%, $T_A$ = -40 to 125°C

| 参数 | | 测试说明 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| DR | 数据速率 | | 0 | | 150 | Mbps |
| $PW_{min}$ | 最小脉宽 | | | | 5.0 | ns |
| $t_{PLH}$, $t_{PHL}$ | 传播延迟 | 图 8-1 | 5.0 | 12.0 | 15.0 | ns |
| PWD | 脉冲宽度失真 $\|t_{PLH} - t_{PHL}\|$ | | | 0.2 | 4.5 | ns |
| $t_{sk(o)}$ | 通道到通道输出偏移时间 [3] | 同方向通道 | | 0.4 | 2.5 | ns |
| $t_{sk(pp)}$ | 片与片之间通道输出偏移时间 [4] | | | 2.0 | 4.5 | ns |
| $t_r$ | 输出上升时间 | 图 8-1 | | 2.5 | 4.0 | ns |
| $t_f$ | 输出下降时间 | 图 8-1 | | 2.5 | 4.0 | ns |
| $t_{DO}$ | 默认输出延迟时间从输入电源损耗 | 图 8-2 | | 8 | 12 | µs |
| $t_{SU}$ | 启动时间 | | | 15 | 40 | µs |

备注:
3. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
4. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

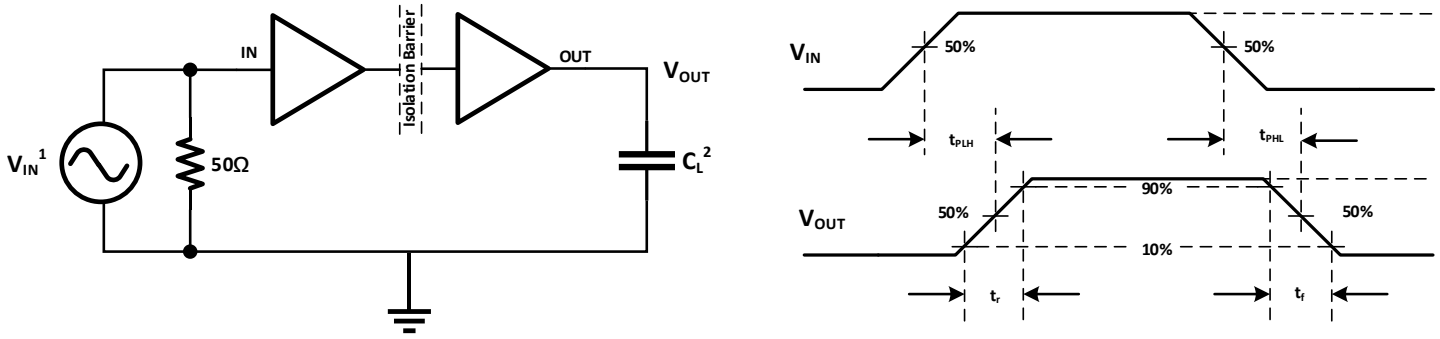
### 7.10.3 $V_{DDA}$ = $V_{DDB}$ = 2.5 V ± 5%, $T_A$ = -40 to 125°C

| 参数 | | 测试说明 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| DR | 数据速率 | | 0 | | 150 | Mbps |
| $PW_{min}$ | 最小脉宽 | | | | 5.0 | ns |
| $t_{PLH}$, $t_{PHL}$ | 传播延迟 | 图 8-1 | 5.0 | 12.0 | 15.0 | ns |
| PWD | 脉冲宽度失真 $\|t_{PLH} - t_{PHL}\|$ | | | 0.2 | 4.5 | ns |
| $t_{sk(o)}$ | 通道到通道输出偏移时间 [5] | 同方向通道 | | 0.4 | 2.5 | ns |
| $t_{sk(pp)}$ | 片与片之间通道输出偏移时间 [6] | | | 1.0 | 5.0 | ns |
| $t_r$ | 输出上升时间 | 图 8-1 | | 2.5 | 4.0 | ns |
| $t_f$ | 输出下降时间 | 图 8-1 | | 2.5 | 4.0 | ns |
| $t_{DO}$ | 默认输出延迟时间从输入电源损耗 | 图 8-2 | | 8 | 12 | µs |
| $t_{SU}$ | 启动时间 | | | 15 | 40 | µs |

备注:
5. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
6. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

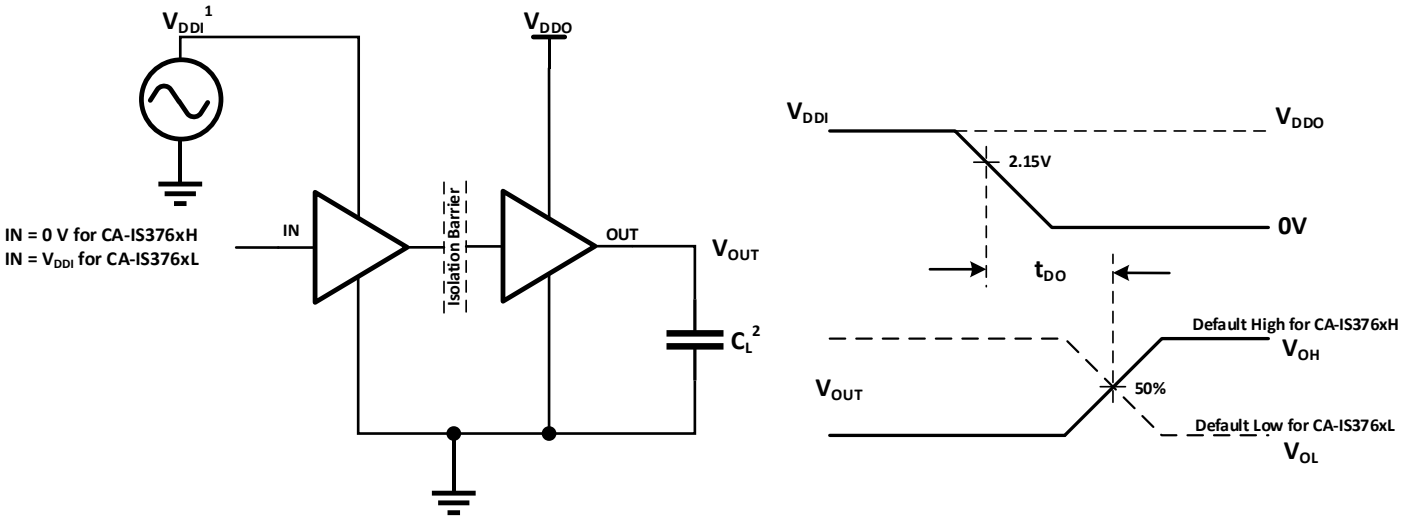
## 8 参数测量信息




备注:

1. 信号发生器产生输入信号 $V_{IN}$ 具有以下约束条件:波形频率≤100kHz，占空比 50%，tr≤3ns，tf≤3ns。由于波形发生器的输出阻抗 Zout = 50Ω，图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. $C_L$ 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

**图 8-1 时序特性测试电路和电压波形**

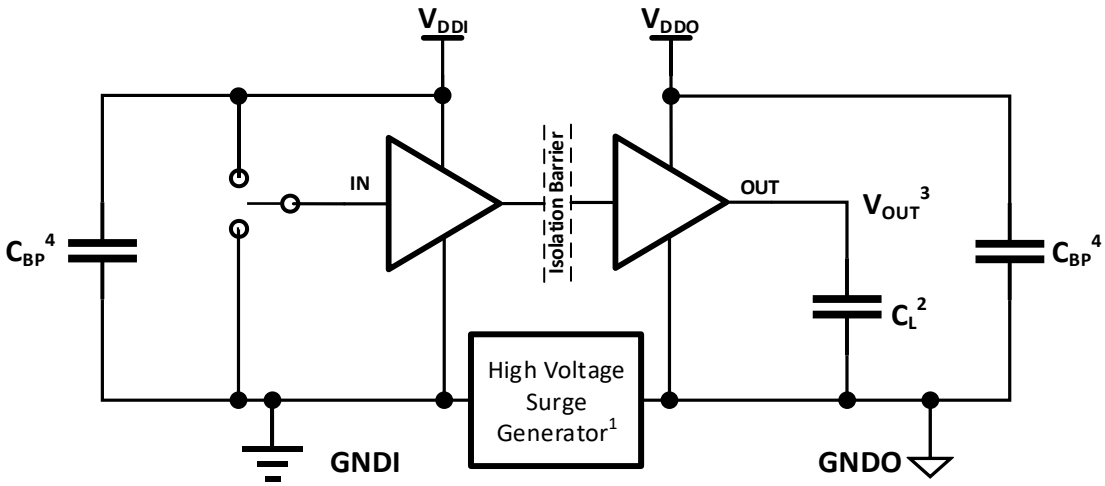



备注:

1. 信号发生器产生输入信号 $V_{IN}$ 具有以下约束条件:波形频率≤100kHz，占空比 50%，tr≤3ns，tf≤3ns。由于波形发生器的输出阻抗 Zout = 50Ω，图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. $C_L$ 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

**图 8-2 默认输出延迟时间测试电路和电压波形**


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司




**备注:**

1. 高压浪涌脉冲发生器产生振幅> 1kV，上升/下降时间<10ns，达到共模瞬态噪声压摆率> 150kV /μs 的重复高压脉冲。
2. $C_L$ 是大约 15pF 的负载电容以及仪表电容。
3. 通过 - 失败标准：每当高压浪涌到来时，输出必须保持稳定。
4. $C_{BP}$ 是 0.1μF~1μF 的旁路电容。

**图 8-3 共模瞬变抗扰度测试电路**

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

# 9 详细说明

## 9.1 工作原理

CA-IS37xx 系列产品采用全差分隔离电容技术。由 $SiO_2$ 构成的高压隔离电容为不同的电压域之间提供可靠的绝缘屏障，并提供可靠的高频信号传输路径；为了保证稳定的数据传输质量，引入开关键控(OOK)调制解调技术。发射机(TX)将输入信号调制到载波频率上，即 TX 在一个输入状态下通过隔离电容传递高频信号，而在另一个输入状态下无信号通过隔离电容，然后接收机根据检测到的带内数据重建输入信号。这个架构为隔离的不同电压域之间提供了可靠的数据传输路径，在启动时不需要考虑初始化。全差分的隔离电容架构可以最大限度地提高信号共模瞬态抗干扰能力。

CA-IS37xx 系列产品采用先进的电路技术可以有效的抑制载波信号和 IO 开关引入的 EMI。相比于电感耦合隔离架构，电容耦合架构具有更高的电磁抗干扰能力。OOK 调制方案消除了脉冲调制方案中可能出现的脉冲丢失引起的误码现象。 图 9-1 和图 9-2 分别为单通道功能框图和 OOK 开关键控调制方案波形示意图。

## 9.1 功能框图

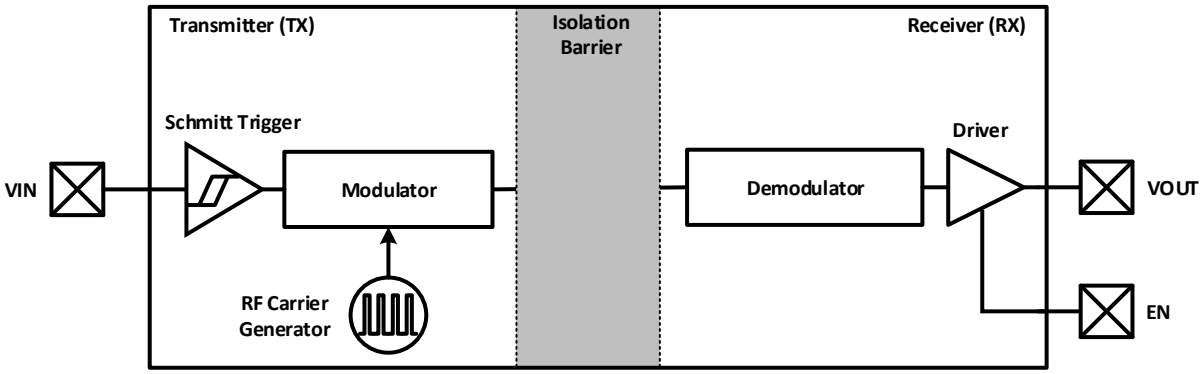



图 9-1 单通道功能框图

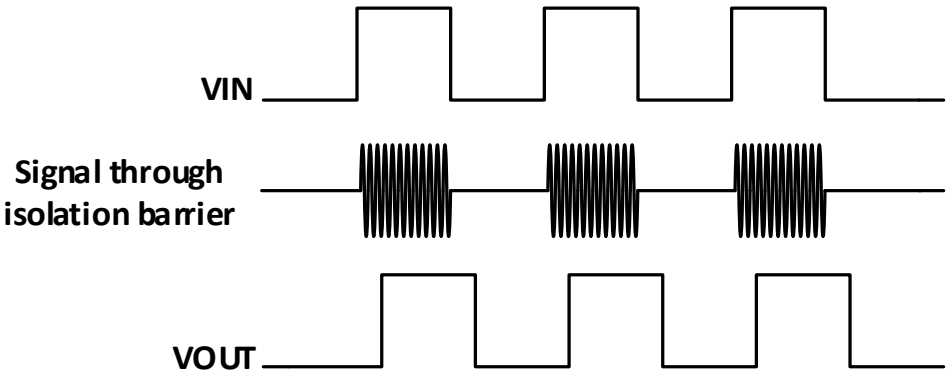



图 9-2 OOK 开关键控调制方案波形示意图


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 9.2 真值表

表 9-1 CA-IS376x 器件真值表。

**表 9-1 真值表 [1]**

| $V_{DDI}$ | $V_{DDO}$ | 输入(Ax/Bx)[2] | 输出 (Ax/Bx) |
|---|---|---|---|
| PU | PU | H | 正常运行模式：<br>通道的输出跟随通道输入状态 |
| | | L | |
| | | Open | 默认输出故障安全模式：<br>如果通道的输入保持断开状态，则其输出将变为默认值(CA-IS376xL 为低电平，CA-IS376xH 输出为高电平) |
| PD | PU | X | 默认输出故障安全模式：<br>如果输入侧 $V_{DD}$ 未通电，则输出进入默认输出故障安全模式(CA-IS376xL 为低电平，CA-IS376xH 为高电平) |
| X | PD | X | 如果输出侧 $V_{DD}$ 未供电，则输出的状态不确定 [3] |

备注:

1. $V_{DDI}$ =输入侧 $V_{DD}$; $V_{DDO}$ =输出侧 $V_{DD}$; PU = 上电 ($V_{DD} \geq V_{DD(UVLO+)}$); PD = 断电($V_{DD} \leq V_{DD(UVLO-)}$); X = 无关; H =高电平; L =低电平。
2. 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮动的 $V_{DD}$，从而导致输出不确定。
3. 当 $V_{DD(UVLO+)} < V_{DDI}$，$V_{DDO} < V_{DD(UVLO-)}$ 时，输出处于不确定状态。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 10 应用电路

相比于光耦器件，CA-IS37xx 系列数字隔离器不需要外部元件来提供偏置或限制电流能力，只需要两个外部 $V_{DD}$ 旁路电容（0.1μF 至 1μF）即可工作。 CA-IS37xx 产品输入兼容 TTL 电平，仅吸收微安级的输入漏电流，无需外部缓冲电路即可驱动。 输出电阻为 50Ω（轨到轨输出），可提供正向和反向通道配置。图 10-1 显示了 CA-IS3763 产品的典型应用电路。图 10-2 显示了 CA-IS37xx 系列产品的典型应用电路。

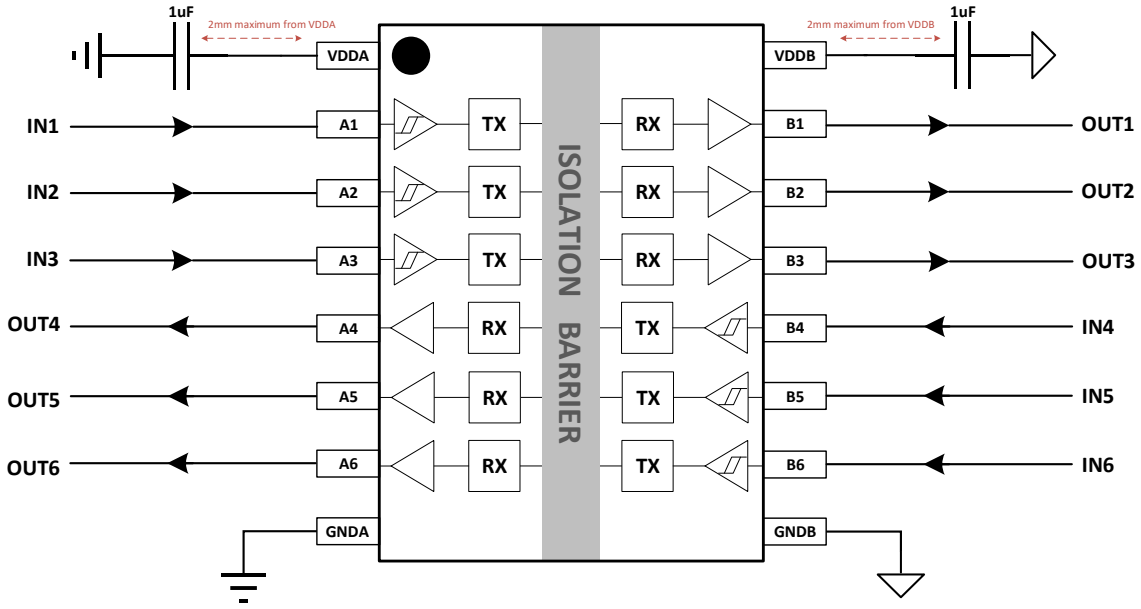



图 10-1 SOIC-16 CA-IS3763 典型应用电路

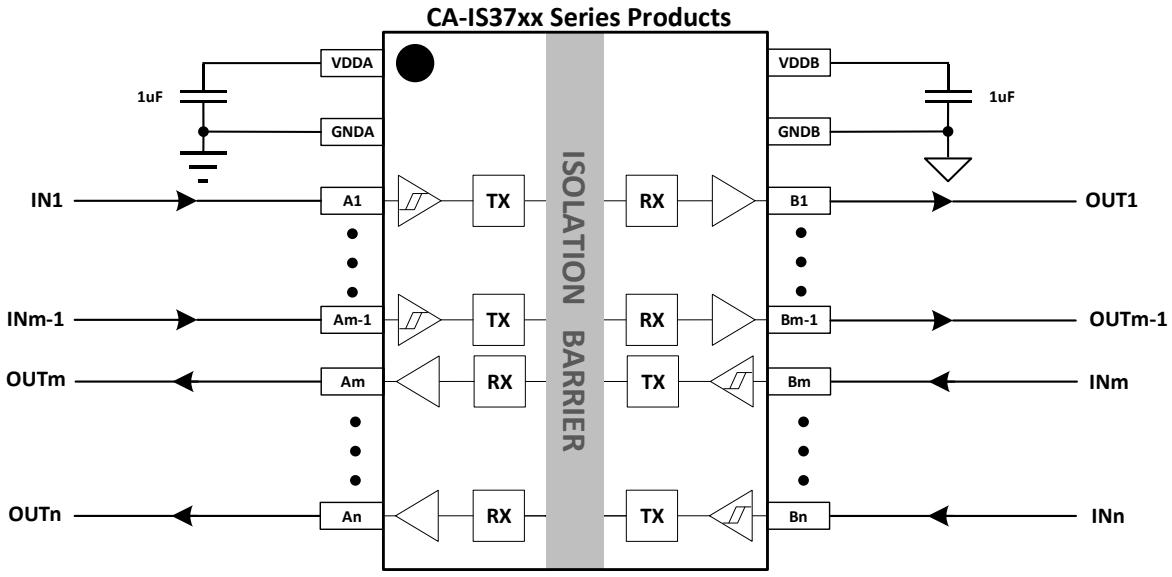



图 10-2 CA-IS37xx 系列数字隔离器应用原理图


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

# 11 封装信息

## 11.1 SOIC16 宽体外形尺寸

下图说明了 CA-IS376x 系列数字隔离器采用 SOIC16 宽体封装大小尺寸图和建议焊盘尺寸图。 尺寸以毫米为单位

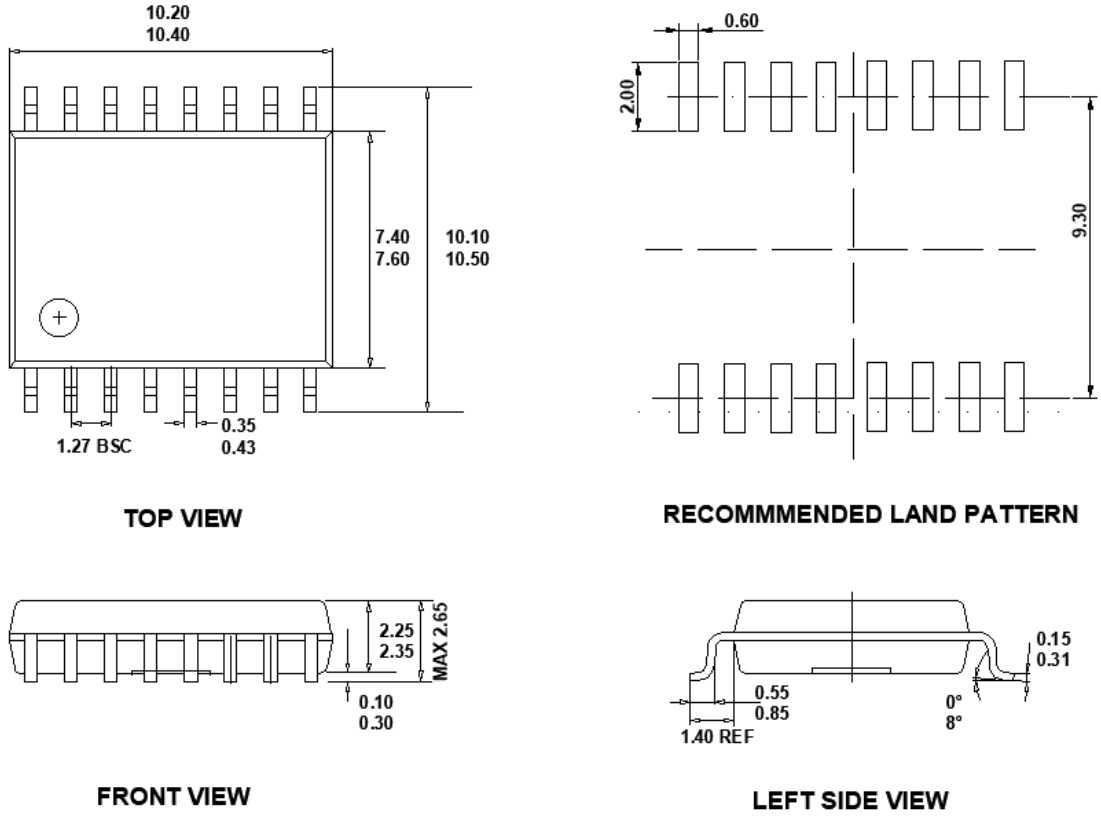



**图 11- 1 SOIC16-WB(W)封装尺寸**

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 11.2 SOIC16 窄体外形尺寸

下图说明了 CA-IS376x 系列数字隔离器采用 SOIC16 窄体封装大小尺寸图和建议焊盘尺寸图。 尺寸以毫米为单位

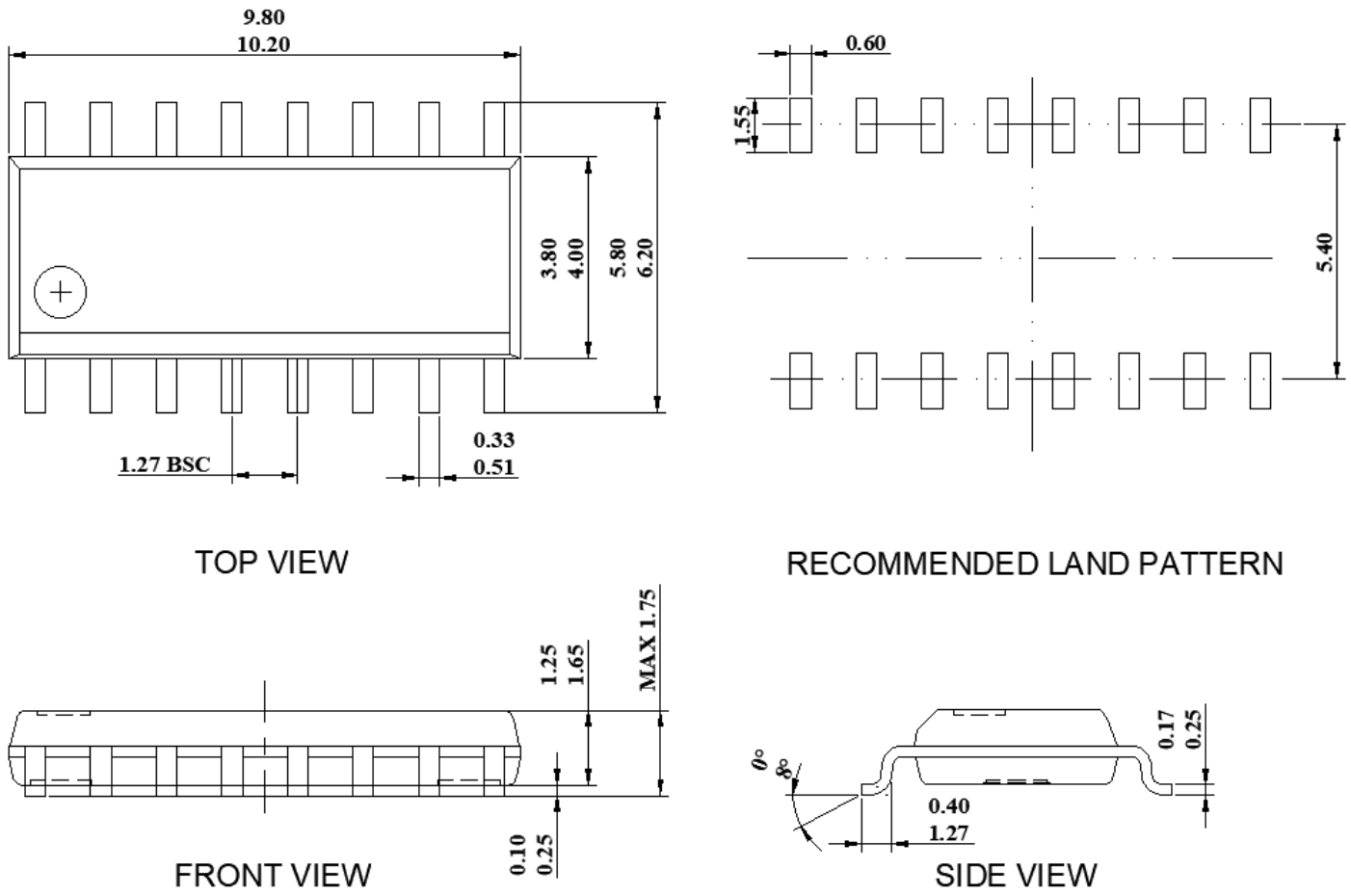



**图 11- 2 SOIC16-NB(N)封装尺寸**


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 12 焊接信息

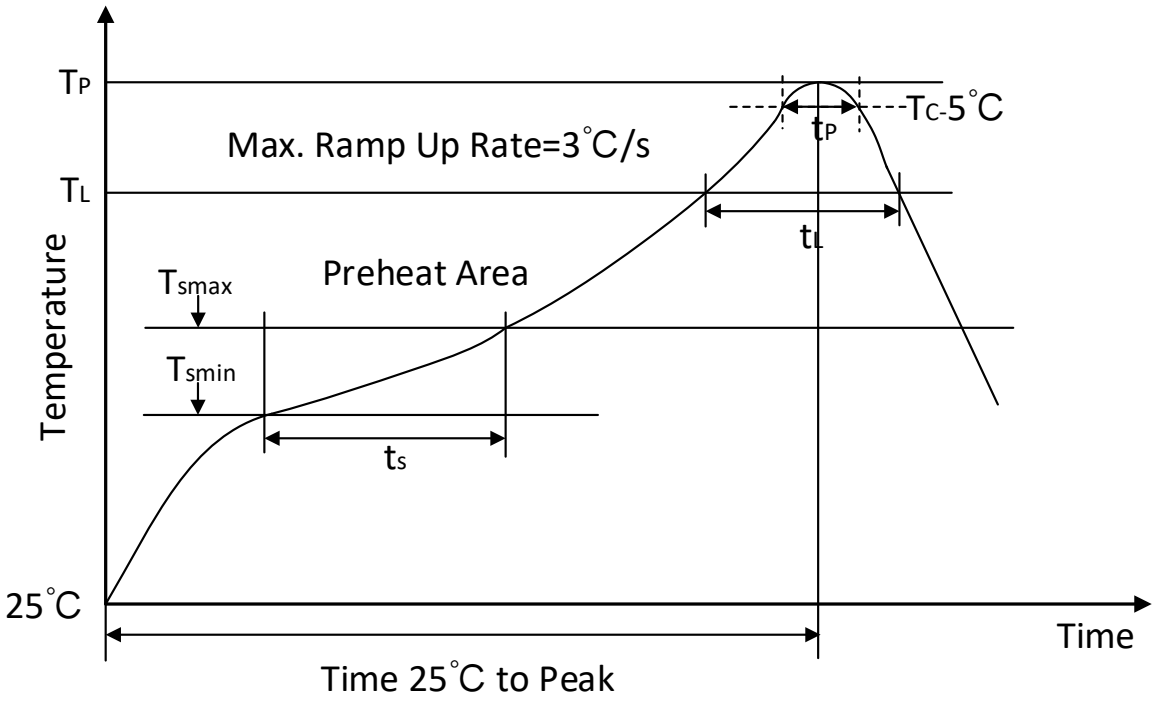



图 12- 1 焊接温度曲线

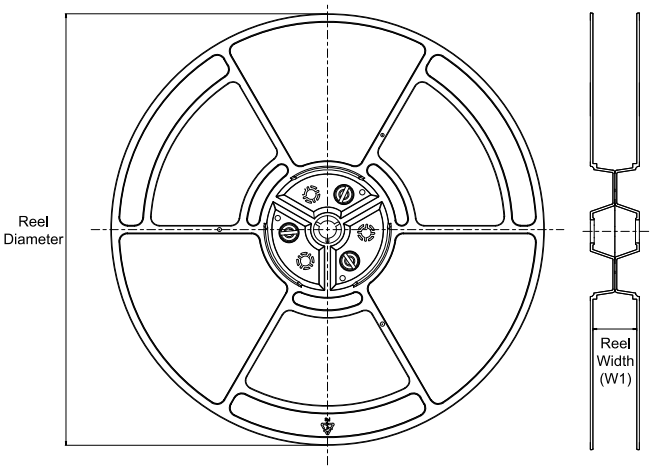
表 12- 1 焊接温度参数

| 简要说明 | 无铅焊接 |
|---|---|
| 温升速率（$T_L$=217°C 至峰值 $T_P$） | 最大 3°C/s |
| $T_{smin}$=150°C 到 $T_{smax}$=200°C 预热时间 $t_s$ | 60~120 秒 |
| 温度保持 217°C 以上时间 $t_L$ | 60~150 秒 |
| 峰值温度 $T_P$ | 260°C |
| 小于峰值温度 5°C 以内时间 $t_P$ | 最长 30 秒 |
| 降温速率（峰值 $T_P$ 至 $T_L$=217°C） | 最大 6°C/s |
| 常温 25°C 到峰值温度 $T_P$ 时间 | 最长 8 分钟 |

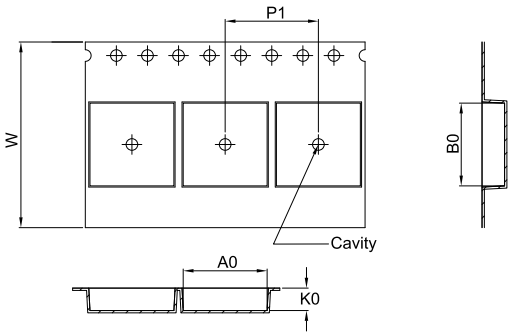
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 13 编带信息

REEL DIMENSIONS

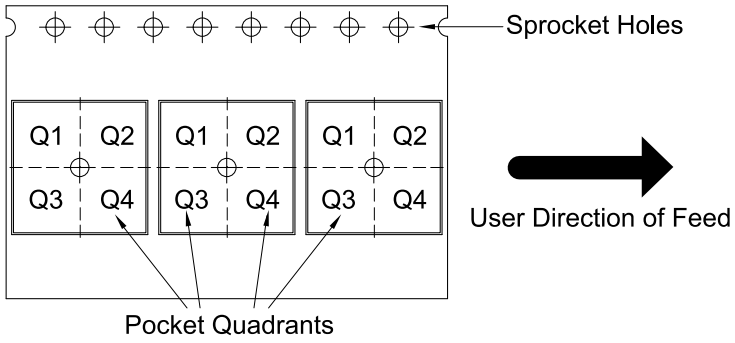



TAPE DIMENSIONS




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| **CA-IS3760LN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3760LW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3760HN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3760HW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3761LN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3761LW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3761HN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3761HW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3762LN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3762LW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3762HN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3762HW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3763LN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3763LW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |
| **CA-IS3763HN** | SOIC | N | 16 | 2500 | 330 | 16.4 | 6.40 | 10.30 | 2.10 | 8.00 | 16.00 | Q1 |
| **CA-IS3763HW** | SOIC | W | 16 | 1000 | 330 | 16.4 | 10.90 | 10.70 | 3.20 | 12.00 | 16.00 | Q1 |


Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

## 14 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。 针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。 除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、 赔偿、 成本、 损失及债务等， Chipanalog 对此概不负责。

### 商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

CHIPANALOG

**http://www.chipanalog.com**

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司