CA-IS374x-Q1 汽车级高速四通道数字隔离器

1 产品特性

- 信号传输速率：DC to 150Mbps
- 宽电源电压范围：2.5V to 5.5V
- 宽温度范围：-40°C to 125°C
- 无需启动初始化
- 默认输出高电平和低电平选项
- 优异的电磁抗扰度
- 高 CMTI：±150kV/μs (典型值)
- 低功耗，(典型值):
  - 电流为 1.5mA/通道（@5V， 1Mbps ）
  - 电流为 6.6mA/通道（@5V， 100Mbps ）
- 精确时序 (典型值)
  - 12ns 传播延迟
  - 1ns 脉冲宽度失真
  - 2ns 传播延迟偏差
  - 5ns 最小脉冲宽度
- 高达 $5kV_{RMS}$ 的隔离电压
- 隔离栅寿命：>40 年
- 具有使能端的三态输出
- 施密特触发器输入
- 宽体 SOIC16-WB(W) 封装，符合 RoHS 标准
- 通过 AEC-Q100 车规认证:
  - 器件温度 Grade1：工作环境温度-40℃ ~ 125℃

2 应用

- 工业自动化
- 电机控制
- 医疗电子
- 隔离开关电源
- 太阳能逆变器
- 隔离 ADC，DAC
- 汽车应用

3 概述

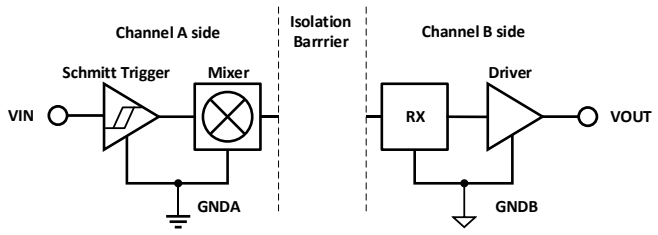
CA-IS374x-Q1 是一款高性能四通道数字隔离器，具有精确的时序特性和低电源损耗。 在隔离 CMOS 数字 I/O 时，CA-IS374x-Q1 器件可提供高电磁抗扰度和低辐射。 所有器件版本均具有施密特触发器输入，可实现高抗噪性能。每条隔离通道的逻辑输入和输出缓冲器均由二氧化硅 (SiO_2) 绝缘栅隔离。 CA-IS3740 四个通道都在同一个方向上，输出侧（B 侧）具有输出使能； CA-IS3741 具有三个前向和一个反向通道，两侧均具有输出使能； CA-IS3742 具有两个前向和两个反向通道，两侧都有输出使能。 所有设备都具有故障安全模式选项。 如果输入侧电压或信号丢失，对于后缀为 L 的设备，默认输出为低，对于带有后缀 H 的设备，默认输出为高。

CA-IS374x-Q1 器件具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，从而干扰或损坏敏感电路。 高 CMTI 能力有望保证数字信号的正确传输。 CA-IS374x-Q1 器件采用 16 引脚宽体 SOIC 封装。 所有宽体封装的产品支持绝缘耐压高达 $5kV_{RMS}$。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IS3740, CA-IS3741, CA-IS3742	SOIC16-WB(W)	10.30 mm × 7.50 mm

简化通道结构图



通道 A 和 B 被隔离电容隔开。
GNDA 和 GNDB 分别连接 A 侧信号和 B 侧电源隔离接地。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

4 订购指南

表 4-1 有效订购零件编号

型号	输入通道数 A 侧	输入通道数 B 侧	故障安全输出状态	额定耐压 (kV)	输出使能	封装
CA-IS3740LW-Q1	4	0	低	5.0	有	SOIC16-WB
CA-IS3740HW-Q1	4	0	高	5.0	有	SOIC16-WB
CA-IS3741LW-Q1	3	1	低	5.0	有	SOIC16-WB
CA-IS3741HW-Q1	3	1	高	5.0	有	SOIC16-WB
CA-IS3742LW-Q1	2	2	低	5.0	有	SOIC16-WB
CA-IS3742HW-Q1	2	2	高	5.0	有	SOIC16-WB

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

目录

1 产品特性 1
2 应用 1
3 概述 1
4 订购指南 2
5 修订历史 3
6 引脚功能描述 4
7 产品规格 5
7.1 绝对最大额定值 [1] 5
7.2 ESD 额定值 5
7.3 建议工作条件 5
7.4 热量信息 6
7.5 额定功率 6
7.6 隔离特性 7
7.7 安全相关认证 8
7.8 电气特性 9
7.8.1 V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C 9
7.8.2 V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C 9
7.8.3 V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C 9
7.9 电源电流特性 10
7.9.1 V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C 10
7.9.2 V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C 11
7.9.3 V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C 12
7.10 时序特性 13
7.10.1 V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C 13
7.10.2 V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C 13
7.10.3 V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C .. 14
8 参数测量信息 14
9 详细说明 17
9.1 工作原理 17
9.2 功能框图 17
9.3 真值表 18
10 应用电路 19
11 封装信息 20
11.1 SOIC16 宽体外形尺寸 20
12 焊接信息 21
13 编带信息 22
14 重要声明 23

5 修订历史

修订版本号	修订内容	修订日期	页码
Version 1.0	NA		NA
Version 1.01	$V_{IT+(IN)}$最小值更新 2V，$V_{IT-(IN)}$最大值更新为 0.8V，删除迟滞电压 $V_{I(HYS)}$。		9
Version 1.02	$V_{IT+(IN)}$描述改为输入阈值逻辑高电平，$V_{IT-(IN)}$描述改为输入阈值逻辑低电平。		9
Version 1.03	更新 POD 和编带信息	2022/12/19	20,22

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

6 引脚功能描述

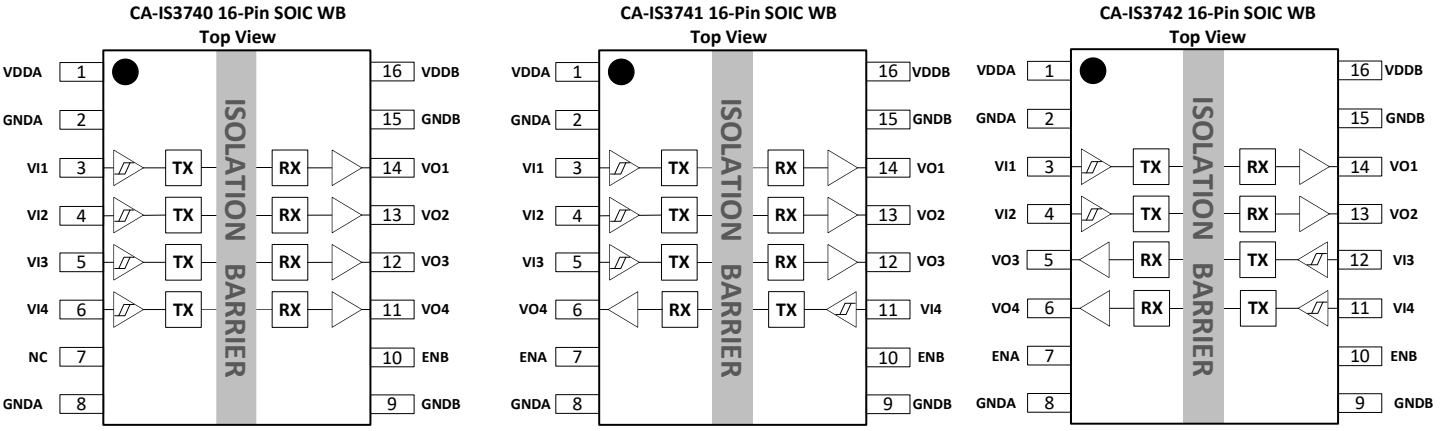


图 6-1 CA-IS374x-Q1 顶部视图

表 6-1 CA-IS374x-Q1 引脚功能描述

引脚名称	引脚编号	类型	描述
VDDA	1	电源	A 侧电源电压
GNDA	2	地	A 侧接地基准点
VI1	3	逻辑输入	A 侧逻辑输入
VI2	4	逻辑输入	A 侧逻辑输入
VI3/VO3	5	逻辑输入/输出	CA-IS3740/41 A 侧逻辑输入/ CA-IS3742 A 侧逻辑输出
VI4/VO4	6	逻辑输入/输出	CA-IS3740 A 侧逻辑输入/ CA-IS3741/42 A 侧逻辑输出
NC[1]/ENA[2]	7	逻辑输入	A 侧使能高电平有效或浮空/ CA-IS3740 无内部连接
GNDA	8	地	A 侧接地基准点
GNDB	9	地	B 侧接地基准点
ENB[2]	10	逻辑输入	B 侧使能高电平有效或浮空
VI4/VO4	11	逻辑输入/输出	CA-IS3741/42 B 侧逻辑输入/ CA-IS3740 B 侧逻辑输出
VI3/VO3	12	逻辑输入/输出	CA-IS3742 B 侧逻辑输入/ CA-IS3740/41 B 侧逻辑输出
VO2	13	逻辑输出	B 侧逻辑输出
VO1	14	逻辑输出	B 侧逻辑输出
GNDB	15	地	B 侧接地基准点
VDDB	16	电源	B 侧电源电压

备注:

1. 无连接。 这些引脚没有内部连接。 它们可以悬空，连接到 V_{DD} 或连接到 GND。
2. 使能输入 ENA 和 ENB 可用于多路复用，时钟同步或其他输出控制。 表 9-2 中列出了每种隔离器产品的 ENA，ENB 逻辑运算。 这些输入在内部上拉至本地 V_{DD}，允许它们连接到外部逻辑电平（高或低）或悬空。 为了最大限度地降低噪声耦合，如果它们悬空，请不要将电路走线连接到 ENA 或 ENB。 如果未使用 ENA，ENB，建议将它们连接到外部逻辑电平，特别是如果 CA-IS374x-Q1 在嘈杂的环境中运行。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7 产品规格

7.1 绝对最大额定值 [1]

参数		最小值	最大值	单位
V_{DDA}, V_{DDB}	电源电压 [2]	-0.5	7.0	V
V_{in}	输入电压 Ax, Bx, ENx	-0.5	V_{DD}+0.5[3]	V
I_O	输出电流	-20	20	mA
T_J	结温		150	°C
T_{STG}	存储温度范围	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 除差分 I / O 总线电压以外的所有电压值，均相对于本地接地端子（GNDA 或 GNDB），并且是峰值电压值。
3. 最大电压不得超过 7 V。

7.2 ESD 额定值

		数值	单位
V_{ESD} 静电放电	人体模型 (HBM), 根据 AEC-Q100-002[1] HBM ESD 认证标准 3A	±6000	V
	组件充电模式(CDM), 根据 AEC-Q100-011 CDM ESD 认证标准 C6	±2000	

备注:

1. AEC Q100-002 规定 HBM 应力应符合 ANSI/ESDA/JEDEC JS-001 规范。

7.3 建议工作条件

参数			最小值	典型值	最大值	单位
V_{DDA}, V_{DDB}	电源电压		2.375	3.3/5.0	5.5	V
$V_{DD(UVLO+)}$	V_{DD} 电源电压上升时的欠压阈值		1.95	2.24	2.37	V
$V_{DD(UVLO-)}$	V_{DD} 电源电压下降时的欠压阈值		1.88	2.10	2.325	V
$V_{HYS(UVLO)}$	V_{DD} 迟滞欠压阈值		70	140	250	mV
I_{OH}	高电平输出电流	V_{DDO}[1] = 5V	-4			mA
		V_{DDO} = 3.3V	-2			
		V_{DDO} = 2.5V	-1			
I_{OL}	低电平输出电流	V_{DDO} = 5V			4	mA
		V_{DDO} = 3.3V			2	
		V_{DDO} = 2.5V			1	
V_{IH}	输入阈值逻辑高电平		2.0			V
V_{IL}	输入阈值逻辑低电平				0.8	V
DR	信号传输速率		0		150	Mbps
T_A	环境温度		-40	27	125	°C

备注:

1. V_{DDO} = 输出侧 V_{DD}

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.4 热量信息

热量表		CA-IS374x-Q1 SOIC16-WB(W)	单位
$R_{\theta JA}$	IC 结至环境的热阻	83.4	°C/W

7.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
CA-IS3740						
P_D	最大功耗	V_{DDA} = V_{DDB} = 5.5 V, C_L = 15 pF, T_J = 150°C, 输入 75MHz 50% 占空比方波			334	mW
P_{DA}	A 侧的最大功耗				36	mW
P_{DB}	B 侧的最大功耗				298	mW
CA-IS3741						
P_D	最大功耗	V_{DDA} = V_{DDB} = 5.5 V, C_L = 15 pF, T_J = 150°C, 输入 75-MHz 50% 占空比方波			334	mW
P_{DA}	A 侧的最大功耗				100	mW
P_{DB}	B 侧的最大功耗				234	mW
CA-IS3742						
P_D	最大功耗	V_{DDA} = V_{DDB} = 5.5 V, C_L = 15 pF, T_J = 150°C, 输入 75-MHz 50% 占空比方波			334	mW
P_{DA}	A 侧的最大功耗				167	mW
P_{DB}	B 侧的最大功耗				167	mW

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.6 隔离特性

参数		测试条件	数值 W	单位
CLR	外部气隙（间隙）[1]	测量输入端至输出端，隔空最短距离	8	mm
CPG	外部爬电距离 [1]	测量输入端至输出端，沿壳体最短距离	8	mm
DTI	隔离距离	最小内部间隙 （内部距离）	28	µm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	V
	材料组	依据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定市电电压≤ 300 V_{RMS}	I-IV	
		额定市电电压≤ 400 V_{RMS}	I-IV	
		额定市电电压 ≤ 600 V_{RMS}	I-III	
DIN V VDE V 0884-11:2017-01[2]				
V_{IORM}	最大重复峰值隔离电压	交流电压(双极)	1414	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDB) 测试	1000	V_{RMS}
		直流电压	1414	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$, t = 60 s (认证); $V_{TEST} = 1.2 \times V_{IOTM}$, t= 1 s (100% 产品测试)	7070	V_{PK}
V_{IOSM}	最大浪涌隔离电压 [3]	测试方法 依据 IEC 60065, 1.2/50 µs 波形, $V_{TEST} = 1.6 \times V_{IOSM}$ (生产测试)	6250	V_{PK}
q_{pd}	表征电荷 4	方法 a，输入/输出安全测试子类 2/3 后， $V_{ini} = V_{IOTM}$, t_{ini} = 60 s; $V_{pd(m)} = 1.2 \times V_{IORM}$, t_m = 10 s	≤5	pC
		方法 a，环境测试子类 1 后， $V_{ini} = V_{IOTM}$, t_{ini} = 60 s; $V_{pd(m)} = 1.6 \times V_{IORM}$, t_m = 10 s	≤5	
		方法 b1, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) $V_{ini} = 1.2 \times V_{IOTM}$, t_{ini} = 1 s; $V_{pd(m)} = 1.875 \times V_{IORM}$, t_m = 1 s	≤5	
C_{IO}	栅电容, 输入到输出 [5]	$V_{IO} = 0.4 \times \sin(2\pi ft)$, f = 1 MHz	~0.5	pF
R_{IO}	绝缘电阻 [5]	V_{IO} = 500 V, T_A = 25°C	$>10^{12}$	Ω
		V_{IO} = 500 V, 100°C ≤ T_A ≤ 125°C	$>10^{11}$	
		V_{IO} = 500 V at T_S = 150°C	$>10^{9}$	
	污染度		2	
UL 1577				
V_{ISO}	最大隔离电压	$V_{TEST} = V_{ISO}$, t = 60 s (认证), $V_{TEST} = 1.2 \times V_{ISO}$, t = 1 s (100%生产测试)	5000	V_{RMS}

备注:

1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。 注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。 在某些情况下印刷电路板上的爬电距离和间隙相等。 在印刷电路板上插入凹槽的技术有助于提高这些指标。
2. 该标准仅适用于安全等级内的安全电气绝缘。 应通过适当的保护电路确保符合安全等级。
3. 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。
4. 表征电荷是由局部放电引起的放电电荷(pd)。
5. 栅两侧的所有引脚连接在一起，形成双端子器件。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.7 安全相关认证

VDE	UL	CQC	TUV
根据 DIN V VDE V 0884-11:2017-01 认证	UL1577 器件程序认证	根据 GB4943.1-2011 和 GB 8898-2011 认证	根据 EN/IEC 61010-1:2010 (3rd Ed)和 EN/IEC 62368-1:2014+A11:2017 认证
Maximum transient isolation voltage, 7070V_{pk}(SOIC16-W),	SOP16-W: 5000 V_{RMS}	SOP16-W: 加强绝缘，最大工作电压 1000 V_{RMS} （仅适用于海拔 5000 米及以下）	5000 V_{RMS}(SOP16-W) 根据加强绝缘 EN/IEC 61010-1:2010 (3rd Ed) 和 EN/IEC 62368-1:2014+A11:2017， 最大工作电压 1000 V_{RMS}(SOP16-W)
证书编号：40052786	证书编号：E511334	证书编号 SOP16-W: CQC20001251466	CB 证书编号： JPTUV-111116； DE 2-027880 AK 证书编号： AK 50474784 0001； AK 50474786 0001

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.8 电气特性

7.8.1 V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平	I_{OH} = -4mA; 图 8-2	V_{DDO}[1]-0.4	4.8		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA; 图 8-2		0.2	0.4	V
$V_{IT+(IN)}$	输入阈值逻辑高电平		2			V
$V_{IT-(IN)}$	输入阈值逻辑低电平				0.8	V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDA} at Ax or Bx or ENx			20	μA
I_{IL}	输入低电平漏电流	V_{IL} = 0 V at Ax or Bx or ENx	-20			μA
Z_O	输出阻抗 [2]			50		Ω
CMTI	共模瞬变抗扰度	V_I = V_{DDI}[1] or 0 V, V_{CM} = 1200 V; 图 8-4	100	150		kV/μs
C_I	输入电容 [3]	V_I = V_{DD}/ 2 + 0.4×sin(2πft), f = 1 MHz, V_{DD} = 5 V		2		pF

备注:
1. V_{DDI} =输入侧 V_{DD}, V_{DDO} = 输出侧 V_{DD}
2. 正常隔离器通道的输出阻抗约为 50 Ω ±40%。
3. 从引脚到地测量。

7.8.2 V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平	I_{OH} = -4mA; 图 8-2	V_{DDO}[1]-0.4	3.1		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA; 图 8-2		0.2	0.4	V
$V_{IT+(IN)}$	输入阈值逻辑高电平		2			V
$V_{IT-(IN)}$	输入阈值逻辑低电平				0.8	V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDA} at Ax or Bx or ENx			20	μA
I_{IL}	输入低电平漏电流	V_{IL} = 0 V at Ax or Bx or ENx	-20			μA
Z_O	输出阻抗 [2]			50		Ω
CMTI	共模瞬变抗扰度	V_I = V_{DDI}[1] or 0 V, V_{CM} = 1200 V; 图 8-4	100	150		kV/μs
C_I	输入电容 [3]	V_I = V_{DD}/ 2 + 0.4×sin(2πft), f = 1 MHz, V_{DD} = 3.3 V		2		pF

备注:
1. V_{DDI} =输入侧 V_{DD}, V_{DDO} = 输出侧 V_{DD}
2. 正常隔离器通道的输出阻抗约为 50 Ω ±40%。
3. 从引脚到地测量。

7.8.3 V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压逻辑高电平	I_{OH} = -4mA; 图 8-2	V_{DDO}[1]-0.4	2.3		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA; 图 8-2		0.2	0.4	V
$V_{IT+(IN)}$	输入阈值逻辑高电平		2			V
$V_{IT-(IN)}$	输入阈值逻辑低电平				0.8	V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDA} at Ax or Bx or ENx			20	μA
I_{IL}	输入低电平漏电流	V_{IL} = 0 V at Ax or Bx or ENx	-20			μA
Z_O	输出阻抗 [2]			50		Ω
CMTI	共模瞬变抗扰度	V_I = V_{DDI}[1] or 0 V, V_{CM} = 1200 V; 图 8-4	100	150		kV/μs
C_I	输入电容 [3]	V_I = V_{DD}/ 2 + 0.4×sin(2πft), f = 1 MHz, V_{DD} = 2.5 V		2		pF

备注:
1. V_{DDI} =输入侧 V_{DD}, V_{DDO} = 输出侧 V_{DD}
2. 正常隔离器通道的输出阻抗约为 50 Ω ±40%。
3. 从引脚到地测量。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.9 电源电流特性

7.9.1 V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C

参数	测试条件		电源电流	最小值	典型值	最大值	单位
CA-IS3740							
电源电流 – 使能关断	ENB = 0 V; V_{IN} = 0V (CA-IS3740L); V_{IN} = V_{DDA} (CA-IS3740H)		I_{DDA}		1.3	2.1	mA
			I_{DDB}		2.5	3.5	
	ENB = 0 V; V_{IN} = V_{DDA} (CA-IS3740L); V_{IN} = 0V(CA-IS3740H)		I_{DDA}		6.4	9.5	
			I_{DDB}		2.7	3.6	
电源电流 –直流信号	ENB = V_{DDB}; V_{IN} = 0V (CA-IS3740L); V_{IN} = V_{DDA} (CA-IS3740H)		I_{DDA}		1.3	2.1	
			I_{DDB}		2.7	3.9	
	ENB = V_{DDB}; V_{IN} = V_{DDA} (CA-IS3740L); V_{IN} = 0V(CA-IS3740H)		I_{DDA}		6.4	9.5	
			I_{DDB}		2.7	4.0	
电源电流 – 交流信号	ENB = V_{DDB}; 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.9	5.8	
			I_{DDB}		4.4	6.1	
		10Mbps (5MHz)	I_{DDA}		3.9	5.8	
			I_{DDB}		18.7	24.8	
		100Mbps (50MHz)	I_{DDA}		4.7	6.8	
			I_{DDB}		41.0	54.7	
CA-IS3741							
电源电流 – 使能关断	ENA = ENB = 0 V; V_{IN} = 0V (CA-IS3741L); V_{IN} = V_{DDI}[1] (CA-IS3741H)		I_{DDA}		1.5	2.4	mA
			I_{DDB}		2.3	3.6	
	ENA = ENB = 0 V; V_{IN} = V_{DDI} (CA-IS3741L); V_{IN} = 0V(CA-IS3741H)		I_{DDA}		4.1	6.8	
			I_{DDB}		3.2	5.1	
电源电流 –直流信号	ENA = ENB = V_{DDI}; V_{IN} = 0V (CA-IS3741L); V_{IN} = V_{DDI} (CA-IS3741H)		I_{DDA}		1.6	2.5	
			I_{DDB}		2.5	3.9	
	ENA = ENB = V_{DDI}; V_{IN} = V_{DDI} (CA-IS3741L); V_{IN} = 0V(CA-IS3741H)		I_{DDA}		4.2	6.9	
			I_{DDB}		3.5	5.4	
电源电流 – 交流信号	ENA = ENB = V_{DDI}; 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.3	5.2	
			I_{DDB}		4.1	6.2	
		10Mbps (5MHz)	I_{DDA}		6.9	9.9	
			I_{DDB}		14.0	19.5	
		100Mbps (50MHz)	I_{DDA}		14.3	19.8	
			I_{DDB}		32.5	44.0	
CA-IS3742							
电源电流 – 使能关断	ENA = ENB = 0 V; V_{IN} = 0V (CA-IS3742L); V_{IN} = V_{DDI}[1] (CA-IS3742H)		I_{DDA}		2.2	3.3	mA
			I_{DDB}		2.2	3.3	
	ENA = ENB = 0 V; V_{IN} = V_{DDI} (CA-IS3742L); V_{IN} = 0V(CA-IS3742H)		I_{DDA}		4.8	7.0	
			I_{DDB}		4.8	7.0	
电源电流 –直流信号	ENA = ENB = V_{DDI}; V_{IN} = 0V (CA-IS3742L); V_{IN} = V_{DDI} (CA-IS3742H)		I_{DDA}		2.4	3.5	
			I_{DDB}		2.4	3.5	
	ENA = ENB = V_{DDI}; V_{IN} = V_{DDI} (CA-IS3742L); V_{IN} = 0V(CA-IS3742H)		I_{DDA}		4.9	7.1	
			I_{DDB}		4.9	7.1	
电源电流 – 交流信号	ENA = ENB = V_{DDI}; 所有通道输入 50%占空比，幅值为 5V 的方波;每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		4.4	6.3	
			I_{DDB}		4.4	6.3	
		10Mbps (5MHz)	I_{DDA}		11.8	16.0	
			I_{DDB}		11.8	16.0	
		100Mbps (50MHz)	I_{DDA}		24.0	33.0	
			I_{DDB}		24.0	33.0	

备注：

1. V_{DDI} =输入侧 V_{DD}

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.9.2 V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C

参数	测试条件		电源电流	最小值	典型值	最大值	单位
CA-IS3740							
电源电流 – 使能关断	ENB = 0 V; V_{IN} = 0V (CA-IS3740L); V_{IN} = V_{DDA} (CA-IS3740H)		I_{DDA}		1.4	2.0	mA
			I_{DDB}		2.4	3.5	
	ENB = 0 V; V_{IN} = V_{DDA} (CA-IS3740L); V_{IN} = 0V(CA-IS3740H)		I_{DDA}		6.3	9.5	
			I_{DDB}		2.4	3.6	
电源电流 –直流信号	ENB = V_{DDB}; V_{IN} = 0V (CA-IS3740L); V_{IN} = V_{DDA} (CA-IS3740H)		I_{DDA}		1.4	2.0	
			I_{DDB}		2.6	3.7	
	ENB = V_{DDB}; V_{IN} = V_{DDA} (CA-IS3740L); V_{IN} = 0V(CA-IS3740H)		I_{DDA}		6.2	9.3	
			I_{DDB}		2.6	3.8	
电源电流 – 交流信号	ENB = V_{DDB}; 所有通道输入 50%占空比，幅值为 3.3V 的方波;每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.8	5.7	
			I_{DDB}		3.7	5.1	
		10Mbps (5MHz)	I_{DDA}		3.8	5.7	
			I_{DDB}		13.2	17.5	
		100Mbps (50MHz)	I_{DDA}		4.6	6.8	
			I_{DDB}		28.7	38.3	
CA-IS3741							
电源电流 – 使能关断	ENA = ENB = 0 V; V_{IN} = 0V (CA-IS3741L); V_{IN} = V_{DDI}[1] (CA-IS3741H)		I_{DDA}		1.5	2.4	mA
			I_{DDB}		2.3	3.5	
	ENA = ENB = 0 V; V_{IN} = V_{DDI} (CA-IS3741L); V_{IN} = 0V(CA-IS3741H)		I_{DDA}		4.0	6.7	
			I_{DDB}		3.2	5.1	
电源电流 –直流信号	ENA = ENB = V_{DDI}; V_{IN} = 0V (CA-IS3741L); V_{IN} = V_{DDI}[1] (CA-IS3741H)		I_{DDA}		1.5	2.4	
			I_{DDB}		2.4	3.7	
	ENA = ENB = V_{DDI}; V_{IN} = V_{DDI} (CA-IS3741L); V_{IN} = 0V(CA-IS3741H)		I_{DDA}		4.1	6.8	
			I_{DDB}		3.3	5.2	
电源电流 – 交流信号	ENA = ENB = V_{DDI}; 所有通道输入 50%占空比，幅值为 3.3V 的方波; 每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.0	4.9	
			I_{DDB}		3.6	5.4	
		10Mbps (5MHz)	I_{DDA}		5.5	8.0	
			I_{DDB}		10.0	13.9	
		100Mbps (50MHz)	I_{DDA}		10.3	14.5	
			I_{DDB}		21.9	29.7	
CA-IS3742							
电源电流 – 使能关断	ENA = ENB = 0 V; V_{IN} = 0V (CA-IS3742L); V_{IN} = V_{DDI}[1] (CA-IS3742H)		I_{DDA}		2.3	3.2	mA
			I_{DDB}		2.3	3.2	
	ENA = ENB = 0 V; V_{IN} = V_{DDI} (CA-IS3742L); V_{IN} = 0V(CA-IS3742H)		I_{DDA}		4.9	6.9	
			I_{DDB}		4.9	6.9	
电源电流 –直流信号	ENA = ENB = V_{DDI}; V_{IN} = 0V (CA-IS3742L); V_{IN} = V_{DDI}[1] (CA-IS3742H)		I_{DDA}		2.4	3.3	
			I_{DDB}		2.4	3.3	
	ENA = ENB = V_{DDI}; V_{IN} = V_{DDI} (CA-IS3742L); V_{IN} = 0V(CA-IS3742H)		I_{DDA}		5.0	7.0	
			I_{DDB}		5.0	7.0	
电源电流 – 交流信号	ENA = ENB = V_{DDI}; 所有通道输入 50%占空比，幅值为 3.3V 的方波; 每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		4.0	5.9	
			I_{DDB}		4.0	5.9	
		10Mbps (5MHz)	I_{DDA}		8.9	12.0	
			I_{DDB}		8.9	12.0	
		100Mbps (50MHz)	I_{DDA}		17.4	24.0	
			I_{DDB}		17.4	24.0	

备注:

1. V_{DDI} =输入侧 V_{DD}

7.9.3 V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C

参数	测试条件		电源电流	最小值	典型值	最大值	单位
CA-IS3740							
电源电流 – 使能关断	ENB = 0 V; V_{IN} = 0V (CA-IS3740L); V_{IN} = V_{DDA} (CA-IS3740H)		I_{DDA}		1.4	2.0	mA
			I_{DDB}		2.4	3.4	
	ENB = 0 V; V_{IN} = V_{DDA} (CA-IS3740L); V_{IN} = 0V(CA-IS3740H)		I_{DDA}		6.3	9.3	
			I_{DDB}		2.4	3.5	
电源电流 –直流信号	ENB = V_{DDB}; V_{IN} = 0V (CA-IS3740L); V_{IN} = V_{DDA} (CA-IS3740H)		I_{DDA}		1.4	2.0	
			I_{DDB}		2.5	3.6	
	ENB = V_{DDB}; V_{IN} = V_{DDA} (CA-IS3740L); V_{IN} = 0V(CA-IS3740H)		I_{DDA}		6.3	9.3	
			I_{DDB}		2.5	3.7	
电源电流 – 交流信号	ENB = V_{DDB}; 所有通道输入 50%占空比，幅值为 2.5V 的方波;每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.8	5.6	
			I_{DDB}		3.4	4.7	
		10Mbps (5MHz)	I_{DDA}		3.8	5.6	
			I_{DDB}		10.6	14.1	
		100Mbps (50MHz)	I_{DDA}		4.7	7.0	
			I_{DDB}		22.4	30.0	
CA-IS3741							
电源电流 – 使能关断	ENA = ENB = 0 V; V_{IN} = 0V (CA-IS3741L); V_{IN} = V_{DDI}[1] (CA-IS3741H)		I_{DDA}		1.5	2.3	mA
			I_{DDB}		2.3	3.5	
	ENA = ENB = 0 V; V_{IN} = V_{DDI} (CA-IS3741L); V_{IN} = 0V(CA-IS3741H)		I_{DDA}		4.0	6.7	
			I_{DDB}		3.2	5.0	
电源电流 –直流信号	ENA = ENB = V_{DDI}; V_{IN} = 0V (CA-IS3741L); V_{IN} = V_{DDI}[1] (CA-IS3741H)		I_{DDA}		1.5	2.4	
			I_{DDB}		2.4	3.7	
	ENA = ENB = V_{DDI}; V_{IN} = V_{DDI} (CA-IS3741L); V_{IN} = 0V(CA-IS3741H)		I_{DDA}		4.0	6.7	
			I_{DDB}		3.3	5.1	
电源电流 – 交流信号	ENA = ENB = V_{DDI}; 所有通道输入 50%占空比，幅值为 2.5V 的方波; 每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.0	4.8	
			I_{DDB}		3.4	5.1	
		10Mbps (5MHz)	I_{DDA}		4.8	7.2	
			I_{DDB}		8.3	11.5	
		100Mbps (50MHz)	I_{DDA}		8.4	11.9	
			I_{DDB}		16.7	22.9	
CA-IS3742							
电源电流 – 使能关断	ENA = ENB = 0 V; V_{IN} = 0V (CA-IS3742L); V_{IN} = V_{DDI}[1] (CA-IS3742H)		I_{DDA}		2.2	3.2	mA
			I_{DDB}		2.2	3.2	
	ENA = ENB = 0 V; V_{IN} = V_{DDI} (CA-IS3742L); V_{IN} = 0V(CA-IS3742H)		I_{DDA}		4.6	6.8	
			I_{DDB}		4.6	6.8	
电源电流 –直流信号	ENA = ENB = V_{DDI}; V_{IN} = 0V (CA-IS3742L); V_{IN} = V_{DDI}[1] (CA-IS3742H)		I_{DDA}		2.2	3.2	
			I_{DDB}		2.2	3.2	
	ENA = ENB = V_{DDI}; V_{IN} = V_{DDI} (CA-IS3742L); V_{IN} = 0V(CA-IS3742H)		I_{DDA}		4.7	6.9	
			I_{DDB}		4.7	6.9	
电源电流 – 交流信号	ENA = ENB = V_{DDI}; 所有通道输入 50%占空比，幅值为 2.5V 的方波; 每个通道 C_L = 15 pF	1Mbps (500kHz)	I_{DDA}		3.9	5.6	
			I_{DDB}		3.9	5.6	
		10Mbps (5MHz)	I_{DDA}		7.5	10.3	
			I_{DDB}		7.5	10.3	
		100Mbps (50MHz)	I_{DDA}		14.4	19.7	
			I_{DDB}		14.4	19.7	

备注:
1. V_{DDI} =输入侧 V_{DD}

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.10 时序特性

7.10.1 V_{DDA} = V_{DDB} = 5 V ± 10%, T_A = -40 to 125°C

参数			测试说明	最小值	典型值	最大值	单位
DR	数据速率					150	Mbps
PW_{min}	最小脉宽					5	ns
t_{PLH}, t_{PHL}	传播延迟		图 8-1	5	12	16	ns
PWD	脉冲宽度失真 $\|t_{PLH} - t_{PHL}\|$				0.2	4.5	ns
$t_{sk(o)}$	通道到通道输出偏移时间 [1]		同方向通道		0.4	2.5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间 [2]				2.0	4.5	ns
t_r	输出上升时间		图 8-1		2.5	4	ns
t_f	输出下降时间		图 8-1		2.5	4	ns
t_{PHZ}	关闭使能传输延迟，输出高电平至高阻抗时间		图 8-2		8	13	ns
t_{PLZ}	关闭使能传播延迟，输出低电平至高阻抗时间				8	17	ns
t_{PZH}	使能传播延迟时间，输出高阻抗至高电平时间	CA-IS374x-Q1L			10	20	ns
		CA-IS374x-Q1H			15	30	ns
t_{PZL}	使能传播延迟时间，输出高阻抗至低电平时间	CA-IS374x-Q1L			10	25	ns
		CA-IS374x-Q1H			15	30	ns
t_{DO}	默认输出延迟时间从输入电源达到 UVLO 开始		图 8-3		0.1	0.3	µs
t_{SU}	启动时间				15	40	µs

备注:
1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

7.10.2 V_{DDA} = V_{DDB} = 3.3 V ± 10%, T_A = -40 to 125°C

参数			测试说明	最小值	典型值	最大值	单位
DR	数据速率					150	Mbps
PW_{min}	最小脉宽					5	ns
t_{PLH}, t_{PHL}	传播延迟		图 8-1	5	12	16	ns
PWD	脉冲宽度失真 $\|t_{PLH} - t_{PHL}\|$				0.2	4.5	ns
$t_{sk(o)}$	通道到通道输出偏移时间 [1]		同方向通道		0.4	2.5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间 [2]				2.0	4.5	ns
t_r	输出上升时间		图 8-1		2.5	4	ns
t_f	输出下降时间		图 8-1		2.5	4	ns
t_{PHZ}	关闭使能传输延迟，输出高电平至高阻抗时间		图 8-2		8	13	ns
t_{PLZ}	关闭使能传播延迟，输出低电平至高阻抗时间				8	17	ns
t_{PZH}	使能传播延迟时间，输出高阻抗至高电平时间	CA-IS374x-Q1L			10	20	ns
		CA-IS374x-Q1H			15	30	ns
t_{PZL}	使能传播延迟时间，输出高阻抗至低电平时间	CA-IS374x-Q1L			10	25	ns
		CA-IS374x-Q1H			15	30	ns
t_{DO}	默认输出延迟时间从输入电源达到 UVLO 开始		图 8-3		0.1	0.3	µs
t_{SU}	启动时间				15	40	µs

备注:
1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

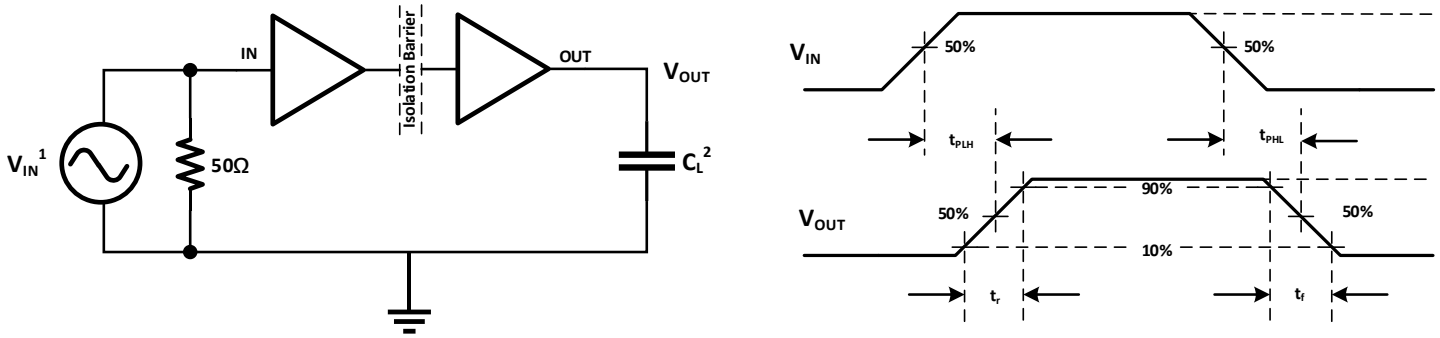
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7.10.3 V_{DDA} = V_{DDB} = 2.5 V ± 5%, T_A = -40 to 125°C

参数			测试说明	最小值	典型值	最大值	单位
DR	数据速率					150	Mbps
PW_{min}	最小脉宽					5	ns
t_{PLH}, t_{PHL}	传播延迟		图 8-1	5	12	16	ns
PWD	脉冲宽度失真 $\lvert t_{PLH} - t_{PHL} \rvert$				0.2	5	ns
$t_{sk(o)}$	通道到通道输出偏移时间 [1]		同方向通道		0.4	2.5	ns
$t_{sk(pp)}$	片与片之间通道输出偏移时间 [2]				1	5	ns
t_r	输出上升时间		图 8-1		2.5	4	ns
t_f	输出下降时间		图 8-1		2.5	4	ns
t_{PHZ}	关闭使能传输延迟，输出高电平至高阻抗时间				16	26	ns
t_{PLZ}	关闭使能传播延迟，输出低电平至高阻抗时间				16	26	ns
t_{PZH}	使能传播延迟时间，输出高阻抗至高电平时间	CA-IS374x-Q1L	图 8-2		10	20	ns
		CA-IS374x-Q1H			10	20	ns
t_{PZL}	使能传播延迟时间，输出高阻抗至低电平时间	CA-IS374x-Q1L			10	18	ns
		CA-IS374x-Q1H			10	20	ns
t_{DO}	默认输出延迟时间从输入电源达到 UVLO 开始		图 8-3		0.1	0.3	µs
t_{SU}	启动时间				15	40	µs

备注:
1. tsk(o) 为具有所有驱动输入连接在一起的单个设备的输出与驱动相同负载时沿相同方向切换的输出之间的偏差
2. tsk(pp)是在相同的电源电压、温度、输入信号和负载下，不同器件在同一方向切换的任意终端之间传播延迟时间的差值

8 参数测量信息

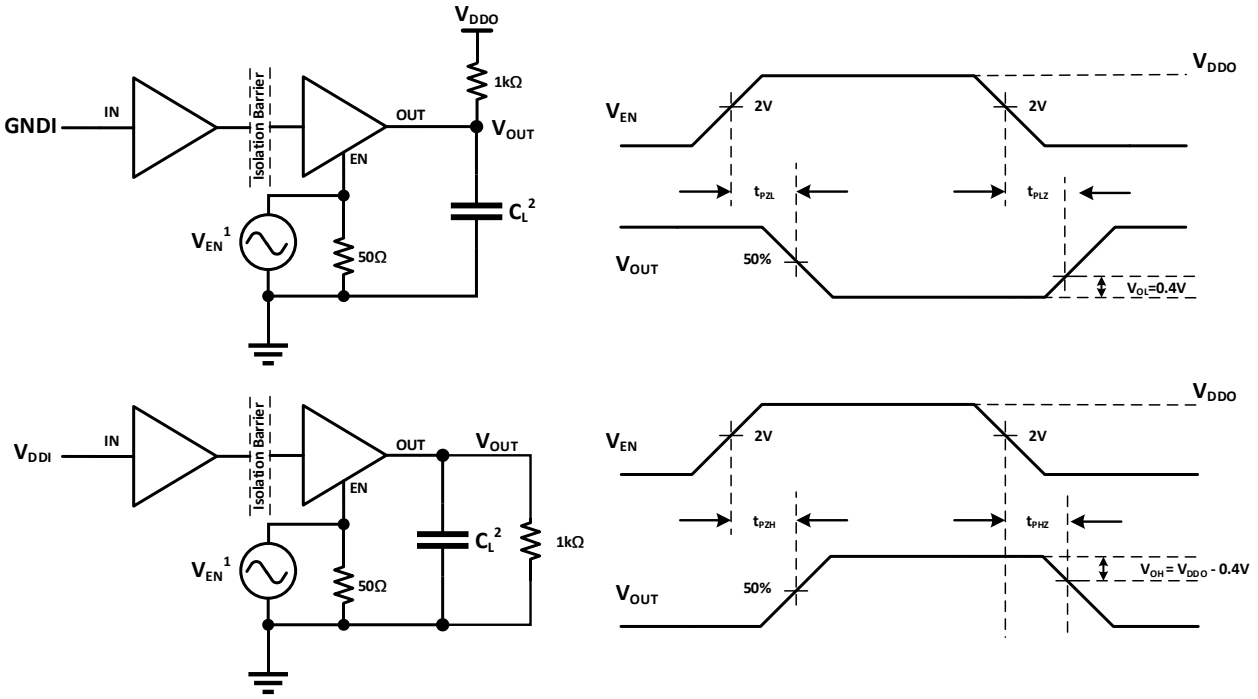


备注:

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件:波形频率≤100kHz，占空比 50%，tr≤3ns， tf≤3ns。由于波形发生器的输出阻抗 Zout = 50Ω，图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

图 8-1 时序特性测试电路和电压波形

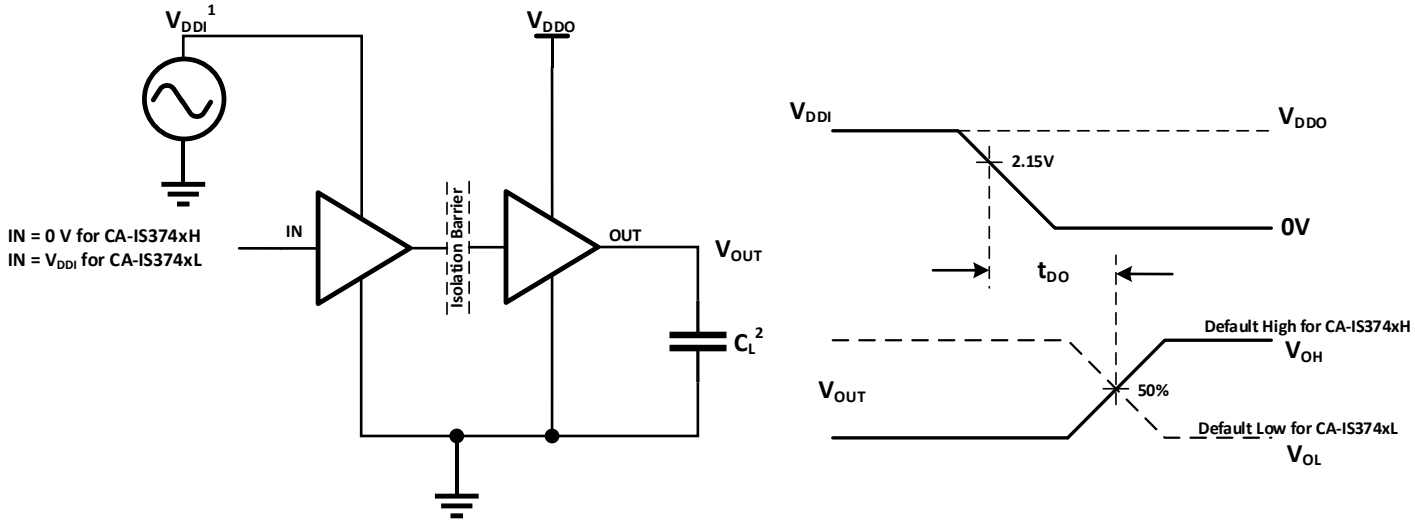
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司



备注:

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件:波形频率≤100kHz，占空比 50%，tr≤3ns，tf≤3ns。由于波形发生器的输出阻抗 Zout = 50Ω，图中的 50Ω 电阻是用来匹配。在实际应用中不需要。
2. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

图 8-2 启用/禁用传播延迟时间测试电路和波形

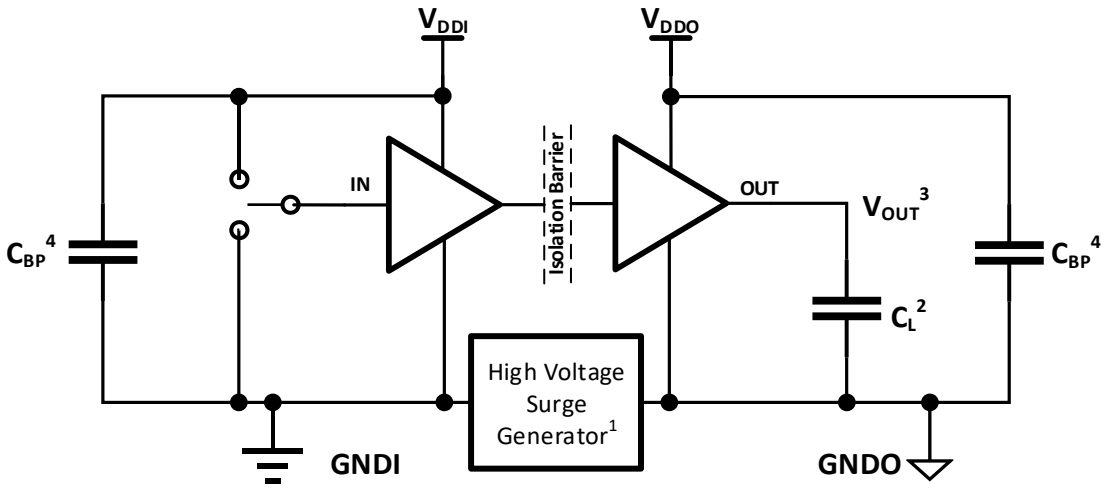


备注:

1. 电源爬坡速率= 10 mV / ns。 V_{DDI} 应该超过 $V_{DD\ (UVLO+)}$ 但不高于 5.5V。
2. C_L 是大约 15pF 的负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

图 8-3 默认输出延迟时间测试电路和电压波形



备注:

1. 高压浪涌脉冲发生器产生振幅> 1kV，上升/下降时间<10ns，达到共模瞬态噪声压摆率> 150kV /μs 的重复高压脉冲。
2. C_L 是大约 15pF 的负载电容以及仪表电容。
3. 通过 - 失败标准：每当高压浪涌到来时，输出必须保持稳定。
4. C_{BP} 是 0.1μF~1μF 容。

图 8-4 共模瞬变抗扰度测试电路

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

9 详细说明

9.1 工作原理

CA-IS37xx 系列产品采用全差分隔离电容技术。由 SiO_2 构成的高压隔离电容为不同的电压域之间提供可靠的绝缘屏障，并提供可靠的高频信号传输路径；为了保证稳定的数据传输质量，引入开关键控(OOK)调制解调技术。发射机(TX)将输入信号调制到载波频率上，即 TX 在一个输入状态下通过隔离电容传递高频信号，而在另一个输入状态下无信号通过隔离电容，然后接收机根据检测到的带内数据重建输入信号。这个架构为隔离的不同电压域之间提供了可靠的数据传输路径，在启动时不需要考虑初始化。全差分的隔离电容架构可以最大限度地提高信号共模瞬态抗干扰能力。

CA-IS37xx 系列产品采用先进的电路技术可以有效的抑制载波信号和 IO 开关引入的 EMI。相比于电感耦合隔离架构，电容耦合架构具有更高的电磁抗干扰能力。OOK 调制方案消除了脉冲调制方案中可能出现的脉冲丢失引起的误码现象。图 9-1 和图 9-2 分别为单通道功能框图和 OOK 开关键控调制方案波形示意图。

9.2 功能框图

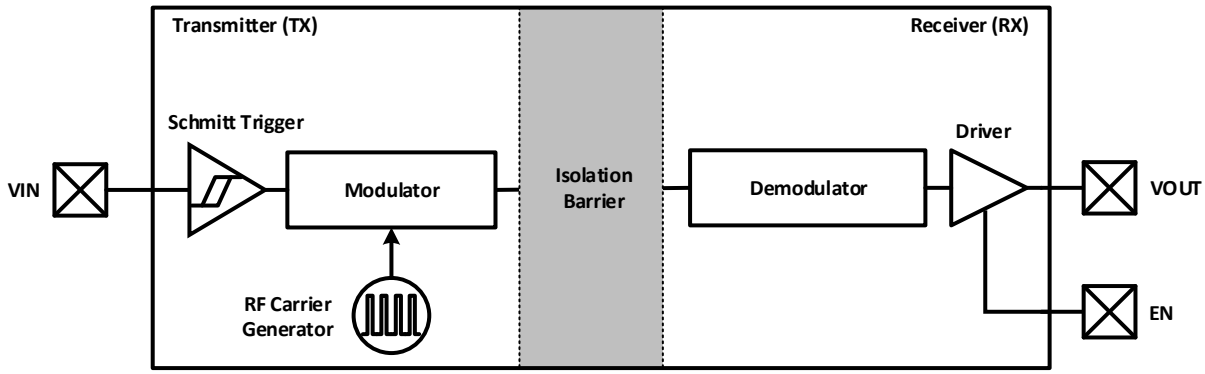


图 9-1 单通道功能框图

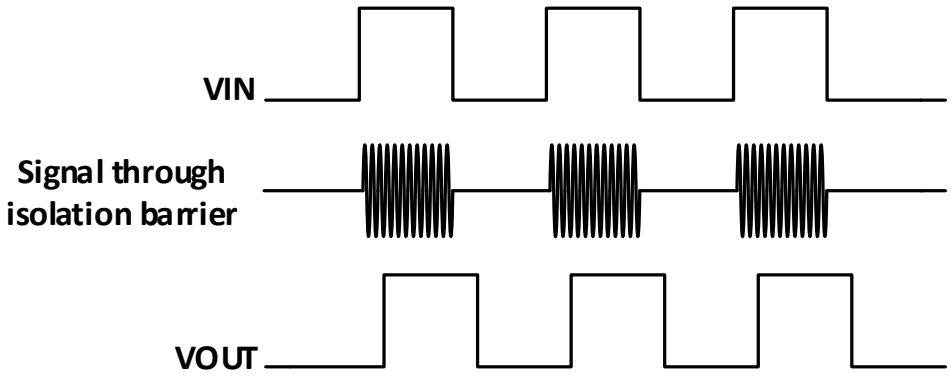


图 9-2 OOK 开关键控调制方案波形示意图

9.3 真值表

表 9-1 CA-IS374x-Q1 器件真值表。

表 9-1 真值表 [1]

V_{DDI}	V_{DDO}	输入(Ax/Bx)[2]	输出使能 (ENx)[3,4]	输出 (Ax/Bx)	模式
PU	PU	H	H or NC	H	正常运行模式： 通道的输出跟随通道输入状态
		L	H or NC	L	
		Open	H or NC	Default	默认输出故障安全模式： 如果通道的输入保持断开状态，则其输出将变为默认值（CA-IS374x-Q1L 为低，CA-IS374x-Q1H 为高）。
X	PU	X	L	Z	高阻抗模式： 如果 Enable 引脚连接为低电平，则输出将处于高阻态。
PD	PU	X	H or NC	Default	默认输出故障安全模式： 如果输入侧 V_{DD} 未通电，则输出进入默认输出故障安全模式（CA-IS374x-Q1L 为低电平，CA-IS374x-Q1H 为高电平）。
X	PD	X	X	Undetermined	如果输出侧 V_{DD} 未供电，则输出的状态不确定。[5]

备注:

1. V_{DDI} =输入侧 V_{DD}; V_{DDO} =输出侧 V_{DD}; PU = 上电 ($V_{DD} \geqslant V_{DD\,(UVLO+)}$); PD = 断电($V_{DD} \leqslant V_{DD\,(UVLO-)}$); X = 无关; H =高电平; L =低电平; Z =高阻抗。
2. 强驱动的输入信号可以通过内部保护二极管微弱地驱动浮动的 V_{DD}，从而导致输出不确定。
3. 当 CA-IS374x-Q1 在噪声环境中工作时，建议将使能引脚输入连接到外部逻辑的高电平或低电平。
4. NC 引脚是没有内部连接，可以悬空，连接到 V_{DD} 或连接到 GND。
5. 当 $V_{DD\,(UVLO+)} < V_{DDI}$， $V_{DDO} < V_{DD\,(UVLO-)}$ 时，输出处于不确定状态。

表 9-2 使能输入真值表

型号	ENA[1,2]	ENB[1,2]	状态
CA-IS3740	—	H	输出 B1, B2, B3, B4 通道开启，输出状态和输入状态相同。
	—	L	输出 B1, B2, B3, B4 通道关闭，输出为高阻态。
CA-IS3741	H	X	输出 A4 通道开启，输出状态和输入状态相同。
	L	X	输出 A4 通道关闭，输出为高阻态。
	X	H	输出 B1, B2, B3 通道开启，输出状态和输入状态相同。
	X	L	输出 B1, B2, B3 通道关闭，输出为高阻态。
CA-IS3742	H	X	输出 A3 和 A4 通道开启，输出状态和输入状态相同。
	L	X	输出 A3 和 A4 通道关闭，输出为高阻态。
	X	H	输出 B1 和 B2 通道开启，输出状态和输入状态相同。
	X	L	输出 B1 和 B2 通道关闭，输出为高阻态。

备注:

1. 使能输入 ENA 和 ENB 可用于多路复用，时钟同步或其他输出控制。 表 9-2 中列出了每种隔离器产品的 ENA，ENB 逻辑运算。 这些输入在内部上拉至本地 V_{DD}，允许它们连接到外部逻辑电平（高或低）或悬空。 为了最大限度地降低噪声耦合，如果它们悬空，请不要将电路走线连接到 ENA 或 ENB。 如果未使用 ENA，ENB，建议将它们连接到外部逻辑电平，特别是如果 CA-IS374x-Q1 在嘈杂的环境中运行。
2. X =无关; H =高电平; L =低电平。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

10 应用电路

相比于光耦器件，CA-IS37xx 系列数字隔离器不需要外部元件来提供偏置或限制电流能力，只需要两个外部 V_{DD} 旁路电容（0.1μF 至 1μF）即可工作。 CA-IS37xx 产品输入兼容 TTL 电平，仅吸收微安级的输入漏电流，无需外部缓冲电路即可驱动。 输出电阻为 50Ω（轨到轨输出），可提供正向和反向通道配置。图 10-1 显示了 CA-IS3742 产品的典型应用电路。图 10-2 显示了 CA-IS37xx 系列产品的典型应用电路。

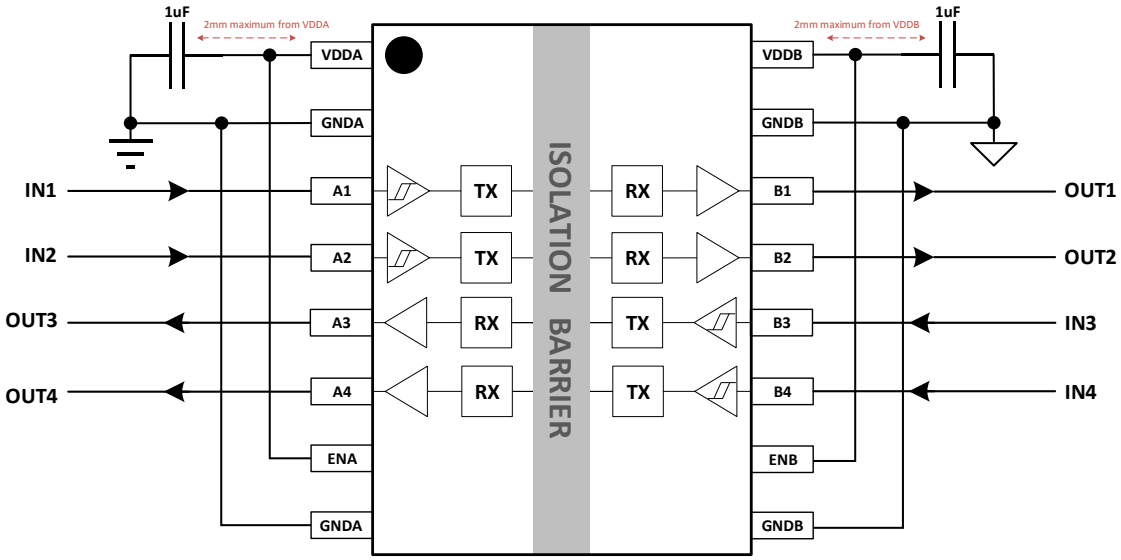


图 10-1 CA-IS3742 典型应用电路

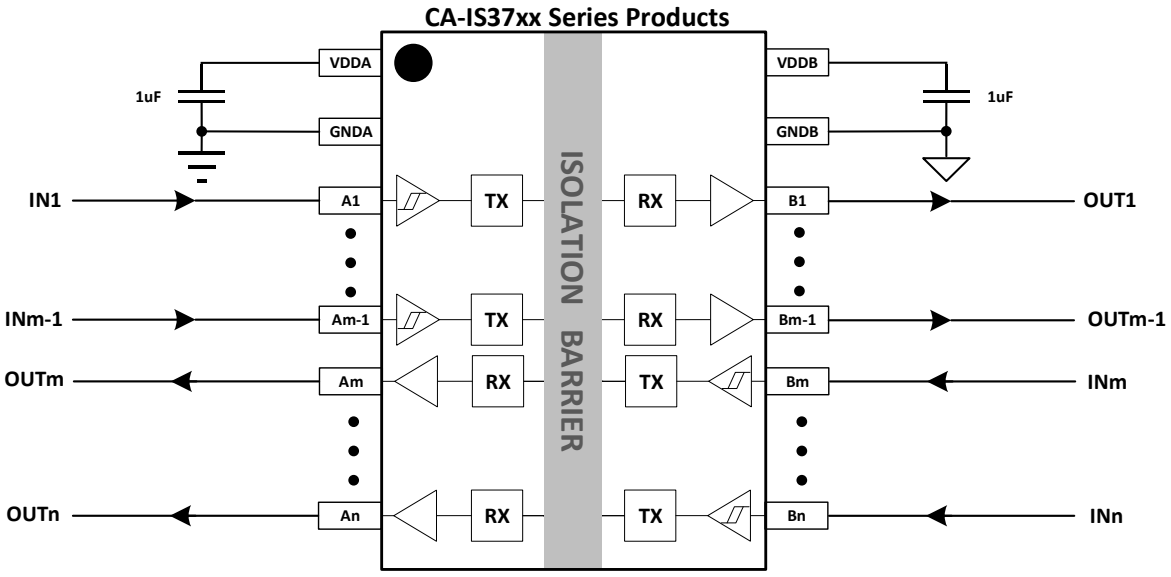


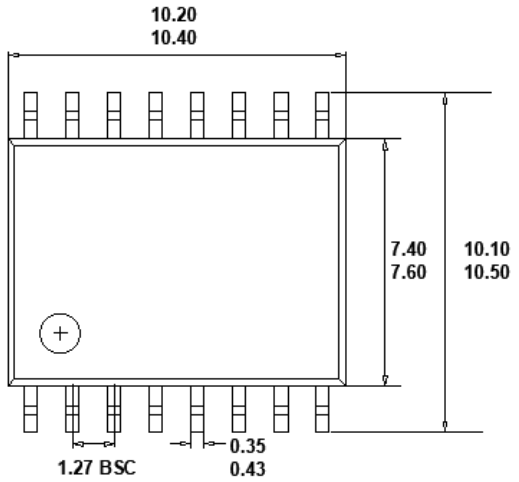
图 10-2 CA-IS37xx 系列数字隔离器应用原理图

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

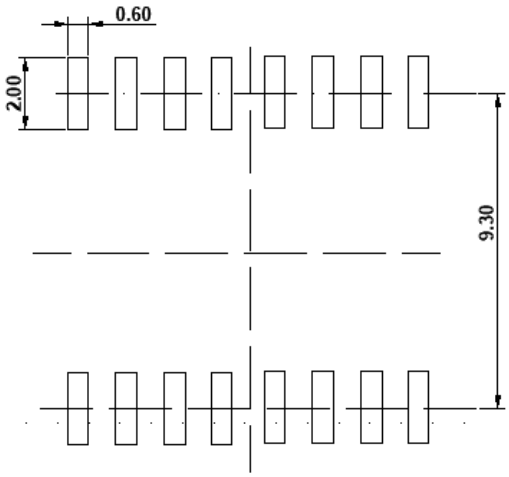
11 封装信息

11.1 SOIC16 宽体外形尺寸

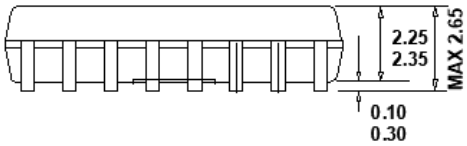
下图说明了 CA-IS374x-Q1 系列数字隔离器采用 SOIC16 宽体封装大小尺寸图和建议焊盘尺寸图。 尺寸以毫米为单位。



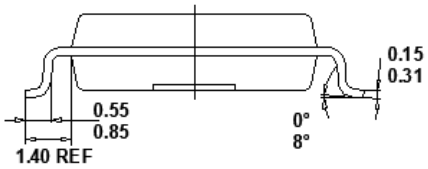
TOP VIEW



RECOMMMENDED LAND PATTERN



FRONT VIEW



LEFT SIDE VIEW

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

12 焊接信息

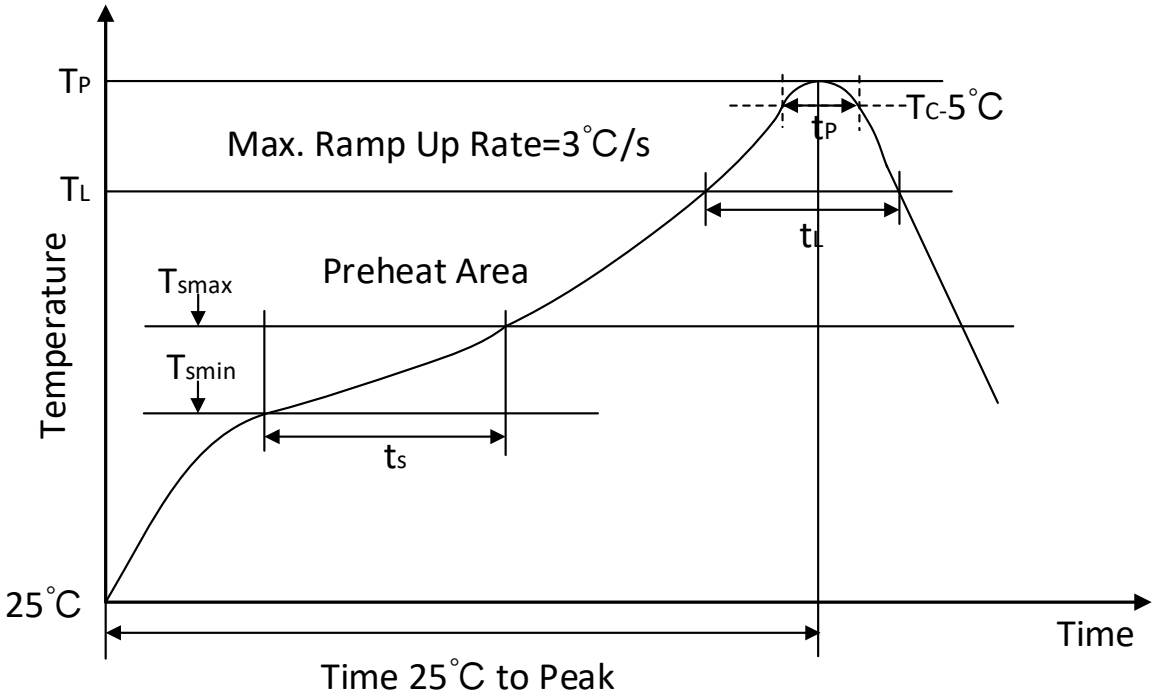


图 12- 1 焊接温度曲线

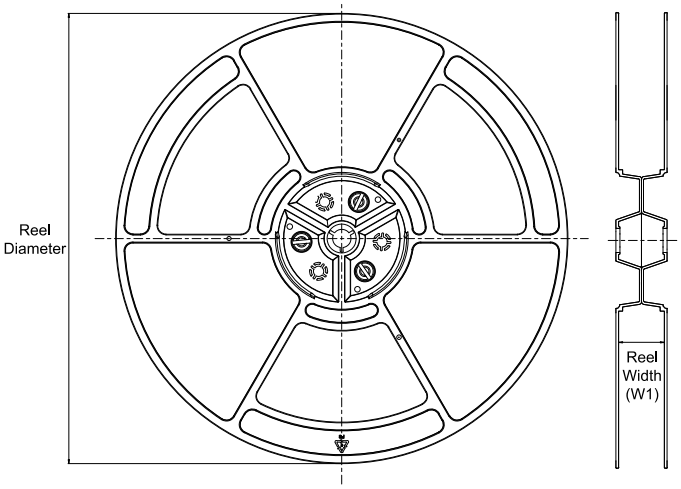
表 12- 1 焊接温度参数

简要说明	无铅焊接
温升速率（T_L=217°C 至峰值 T_P）	最大 3°C/s
T_{smin}=150°C 到 T_{smax}=200°C 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率（峰值 T_P 至 T_L=217°C）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

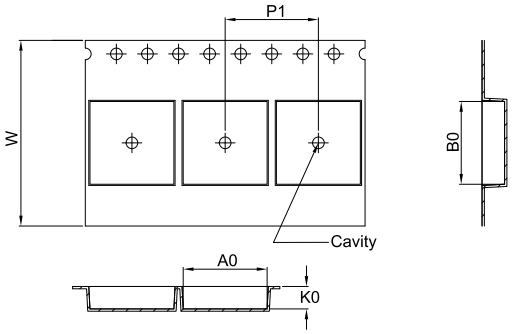
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

13 编带信息

REEL DIMENSIONS

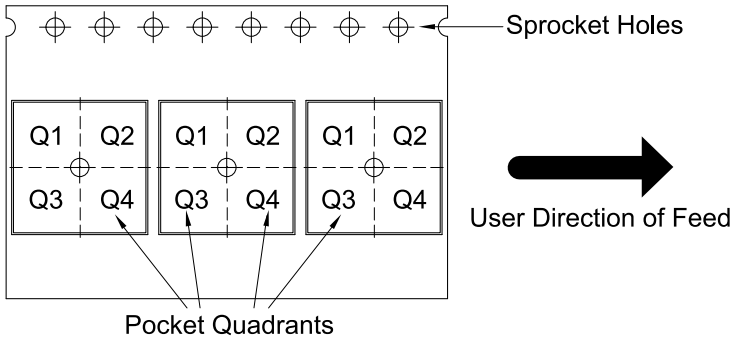


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3740LW-Q1	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3740HW-Q1	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3741LW-Q1	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3741HW-Q1	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3742LW-Q1	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS3742HW-Q1	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

14 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。 针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。 除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、 赔偿、 成本、 损失及债务等， Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.chipanalog.com

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司