

CA-IF1044-Q1 具有待机模式的汽车级 CAN 收发器

1. 产品特性

- 符合 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准
- 所有器件均支持经典 CAN 和 5Mbps CAN FD（灵活数据速率）
- 工作模式
 - 常规模式
 - 低功耗待机模式，支持远程唤醒请求
- 未上电时的理想无源特性
 - 总线和逻辑引脚处于高阻态（无负载）
 - 上电和掉电时总线和 RXD 输出上无毛刺脉冲
- VIO 支持 3.0V 到 5.5V
- 保护特性
 - 总线故障保护：±58 V
 - V_{CC} 和 VIO 电源引脚上具有欠压保护
 - 驱动器显性超时 (TXD DTO) - 数据速率低至 4kbps
 - 热关断保护 (TSD)
- 接收器共模输入电压：±30 V
- 典型循环延迟：160ns
- 结温范围：-55°C 至 150°C
- 可提供 SOIC8 封装和无引线 DFN8 封装(3.0mm x 3.0mm)
- 通过 AEC-Q100 车规认证：
 - 工作环境温度范围 Grade 1：-40°C~125°C

2. 应用

- 车身控制模块
- 汽车网关
- 高级驾驶辅助系统(ADAS)
- 信息娱乐系统

3. 概述

该 CAN 收发器系列符合 ISO11898-2 (2016) 高速 CAN（控制器局域网络）物理层标准。所有器件均设计用于数据

速率高达 5Mbps（兆位每秒）的 CAN FD 网络。CA-IF1044 收发器具有低功耗待机模式，支持 ISO 11898-2:2016 定义的唤醒序列。CA-IF1044V 包含 VIO 电压，其内部的逻辑电平转换支持收发器接口直接连接 3.3V 或者 5V 逻辑电平。该器件支持总线故障保护电压±58V，包含许多保护功能，如热关断，TXD 显性超时保护和电源欠压保护，以提高器件和 CAN 的稳定性。

表 3-1 器件信息

零件号	封装	封装尺寸(标称值)
CA-IF1044S-Q1	SOIC8	4.9mm x 3.9mm
CA-IF1044VS-Q1	SOIC8	4.9mm x 3.9mm
CA-IF1044D-Q1	DFN8	3.0mm x 3.0mm
CA-IF1044VD-Q1	DFN8	3.0mm x 3.0mm

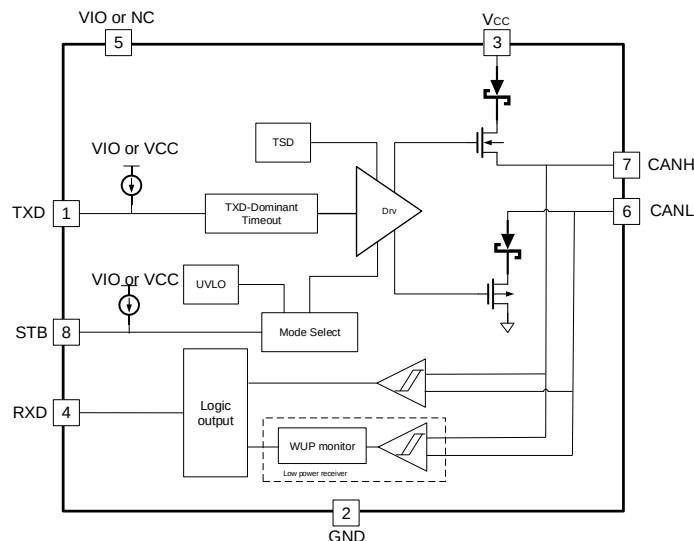


图 3-1 简化信息结构图

4. 订购指南

表 4-1 有效订购零件编号

型号	封装	封装尺寸
CA-IF1044S-Q1	SOIC8	4.9mm x 3.9mm
CA-IF1044VS-Q1	SOIC8	4.9mm x 3.9mm
CA-IF1044D-Q1	DFN8	3.0mm x 3.0mm
CA-IF1044VD-Q1	DFN8	3.0mm x 3.0mm

目录

1. 产品特性.....	1	8.4. 驱动端	15
2. 应用	1	8.5. 接收端	15
3. 概述	1	8.6. 过温保护	16
4. 订购指南	2	8.7. 非上电状态	16
5. 引脚功能描述.....	4	8.8. 悬空端口状态	16
6. 产品规格	5	8.9. VIO 电源	16
6.1. 绝对最大额定值.....	5	8.10. 工作模式	16
6.2. ESD 额定值	5	8.10.1. 常规模式.....	16
6.3. 建议工作条件.....	5	8.10.2. 待机模式.....	16
6.4. 热量信息.....	5	8.11. 远程唤醒	16
6.5. 电气特性.....	6	9. 应用信息.....	18
6.6. 开关特性.....	8	10. 封装信息.....	19
7. 参数测量信息.....	9	10.1. SOIC8 的外形尺寸	19
8. 详细说明	12	10.2. DFN8 的外形尺寸	20
8.1. CAN 总线状态	12	11. 焊接信息.....	21
8.2. 发射端显性超时功能.....	14	12. 编带信息.....	22
8.3. 欠压保护.....	15	13. 附录	23
		14. 重要声明.....	24

修订历史

修订版本号	修订内容	页码
Version 1.00	NA	NA
Version 1.01	修改格式错误	6
Version 1.02	增加焊接信息	21
	更新 VCC 下降时的欠压保护电压 UVLO	6
	更新输入端漏电流 I _{LKG}	7
Version 1.03	更新“VIO 支持 3.3V 到 5.5V”为“VIO 支持 3.0V 到 5.5V”	1,5
Version 1.04	更新编带信息	22
Version 1.05	更新 STB 输入低电平漏电流 I _{IL}	6

5. 引脚功能描述

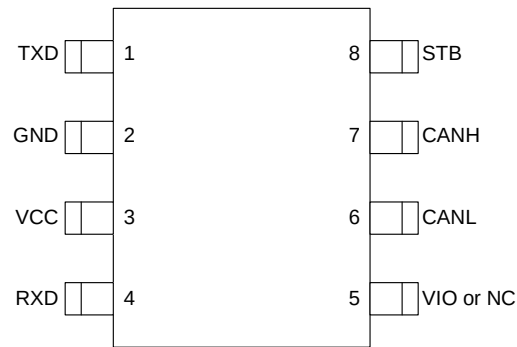


图 5-1 CA-IF1044-Q1 引脚图

表 5-1 CA-IF1044-Q1 引脚功能描述

引脚名称	引脚编号	类型	描述
TXD	1	输入	传输数据输入。TXD 为高 CAN 总线输出为隐性态，TXD 为低 CAN 总线输出为显性态。内部具有上拉电阻。
GND	2	地	参考地。
V _{CC}	3	电源	电源输入。在 V _{CC} 和 GND 之间接入一个 0.1uF 电容尽可能的靠近器件。
RXD	4	输出	接收器数据输出。当 CAN 总线处于隐性态时，RXD 为高电平。当 CAN 总线处于显性态时，RXD 为低电平。RXD 的参考电源为 VIO。
NC(CA-IF1044)	5	NC	NC
VIO(CA-IF1044V)	5	电源	逻辑电平侧电源
CANL	6	输入输出	低电平 CAN 总线。
CANH	7	输入输出	高电平 CAN 总线。
STB	8	输入	待机模式控制管脚。STB 为高，待机模式；STB 为低，常规模式。内部具有上拉电阻。

6. 产品规格

6.1. 绝对最大额定值

表 6-1 绝对最大额定值

参数		最小值	最大值	单位
V _{CC}	5-V 总线电源电压	-0.3	7	V
V _{IO}	IO 电平转换电源电压	-0.3	7	V
V _{BUS}	CAN 总线 IO 电压 (CANH, CANL)	-58	58	V
V _(DIFF)	CANH 和 CANL 间的最大差分电压	-58	58	V
V _(Logic_Input)	逻辑侧端口输入电压 (TXD, STB)	-0.3	+7	V
V _(Logic_Output)	逻辑侧端口输出电压 (RXD)	-0.3	+7	V
I _{O (RXD)}	RXD 接收器输出电流	-8	8	mA
T _J	结温	-55	150	°C
T _{STG}	存储温度	-65	150	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

6.2. ESD 额定值

表 6-2 ESD 额定值

测试项目	测试条件		数值	单位
CA-IF1044S, CA-IF1044D				
HBM ¹ ESD	人体模型 (HBM), 所有引脚, 根据 AEC-Q100-002 ¹ HBM ESD 认证标准 3A		±6000	V
	人体模型 (HBM), CAN 总线端口 (CANH, CANL)到 GND, 根据 AEC-Q100-002 ¹ HBM ESD 认证标准 3B		±8000	
CDM ESD	组件充电模式(CDM), 所有管脚, 根据 AEC-Q100-011 CDM ESD 认证标准 C3		±2000	V
System Level ESD	CAN 总线端口 (CANH, CANL) 到 GND	IEC 61000-4-2 : 不上电接触放电	±6000 ²	V
备注:				
1. AEC Q100-002 规定 HBM 应力应符合 ANSI/ESDA/JEDEC JS-001 规范;				
2. 系统板级测试;				

6.3. 建议工作条件

表 6-3 建议工作条件

参数		最小值	最大值	单位
V _{CC}	5-V 总线电源电压	4.5	5.5	V
V _{IO}	IO 电平转换电源电压	3.0	5.5	V
I _{OH} (RXD)	RXD 端口高电平输出电流	-2		mA
I _{OL} (RXD)	RXD 端口低电平输出电流		2	mA

6.4. 热量信息

表 6-4 热量表

热量表		DFN8	SOIC8	单位
R _{θJA}	IC 结至环境的热阻	40	170	°C/W

6.5. 电气特性

建议工作条件下, 环境温度 $T_A = -55^{\circ}\text{C}$ 到 125°C 。

表 6-5 电气特性表

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I _{CC}	5V 电源电流	TXD=0V, STB=0V,R _L =60 Ohm（显性）,如图 7-1	45	70		mA
		TXD=0V, STB=0V,R _L =50 Ohm（显性）,如图 7-1	50	80		mA
		TXD=0V, STB=0V,CANH=-12V（显性）,如图 7-1		130		mA
		TXD=V _{CC} , STB=0V,R _L =50 Ohm（隐性）,如图 7-1	4.5	7.5		mA
		TXD=STB=V _{CC} （待机模式,CA-IF1044）, R _L =50 Ohm, 如图 7-1	22	35		μA
		TXD=STB=V _{IO} （待机模式,CA-IF1044V）, R _L =50 Ohm, 如图 7-1	0.5	3		μA
I _{IO}	常规模式 VIO 电源电流(CA-IF1044V)	TXD=0V,STB=0V, RXD 悬空（显性）	125	300		μA
		TXD=V _{CC} ,STB=0V, RXD 悬空（隐性）	70	150		μA
I _{IO}	待机模式 VIO 电源电流(CA-IF1044V)	TXD= STB= V _{IO} , RXD 悬空	20	33		μA
V _{uv_vcc}	V _{CC} UVLO 电压	上升	4.2	4.45		V
V _{uv_vcc}	V _{CC} UVLO 电压	下降	3.65	4.0	4.4	V
V _{uv_vcc_sd}	V _{CC} 保护状态电压(CA-IF1044)	上升	1.56	1.9		V
V _{uv_vcc_sd}	V _{CC} 保护状态电压(CA-IF1044)	下降	1.3	1.51	1.85	V
V _{uv_vio}	VIO 保护状态电压(CA-IF1044V)	上升	1.56	1.9		V
V _{uv_vio}	VIO 保护状态电压(CA-IF1044V)	下降	1.3	1.51	1.85	V
逻辑接口(STB 选择输入)						
V _{IH}	输入高电平		0.7*V _{CC} ¹			V
V _{IL}	输入低电平		0.3*V _{CC} ¹			V
I _{IH}	输入高电平漏电流	STB=V _{CC} = 5.5V	-2	2		μA
I _{IL}	输入低电平漏电流	STB=0V,V _{CC} = 5.5V	-100	-60	-20	μA
I _{lek(off)}	未上电时漏电流	STB=5.5V, V _{CC} =0V	-1	1		μA
逻辑接口(TXD 输入端口)						
V _{IH}	输入高电平		0.7*V _{CC} ¹			V
V _{IL}	输入低电平		0.3*V _{CC} ¹			V
I _{IH}	输入高电平漏电流	TXD=V _{CC} = 5.5V	-2.5	0	1	μA
I _{IL}	输入低电平漏电流	TXD=0V, V _{CC} = 5.5V	-200	-100	-20	μA
I _{lek(off)}	未上电时漏电流	TXD=5.5V, V _{CC} = 0V	-1	0	1	μA
C _i	输入电流	Vin=0.4*sin(4E6*π*t)+2.5V	5			pF
逻辑接口(RXD 输出端口)						
V _{OH}	输出高电平	I _o =-2mA, 如图 7-2	0.8*V _{CC}			V
V _{OL}	输出低电平	I _o =+2mA,如图 7-2, VIO=3.3V- 5.5V	0.2*V _{CC}			V
I _{lek(off)}	未上电时漏电流	S=5.5V, V _{CC} =0V	-1	0	1	μA
CAN 总线驱动						
V _{O(DOM)}	单端输出电压（显性）	TXD=低, STB=0V, R _L =50 -65Ohm, CANH 端口,如图 7-1	2.75	4.5		V
		TXD=低, STB=0V, R _L =50 -65Ohm, CANL 端口,如图 7-1	0.5	2.25		V
注：CA-IF1044S-Q1/ CA-IF1044D-Q1 的参考电压源 V _{CC} , CA-IF1044VS-Q1/ CA-IF1044VD-Q1 的参考电压源 V _{IO} ,						

电气特性（接上页）

建议工作条件下，环境温度 $T_A = -55^{\circ}\text{C}$ 到 125°C 。

$V_{OD(DOM)}$	差分输出电压（显性）	TXD=低，STB=0V, $R_L=45-70\ \Omega$ ， R_{CM} open, 如图 7-1	1.4	3.3	V
		TXD=低，STB=0V, $R_L=50-65\ \Omega$ ， R_{CM} open, 如图 7-1	1.5	3.0	V
		TXD=低，STB=0V, $R_L=2240\ \Omega$ ， R_{CM} open, 如图 7-1	1.5	5.0	V
$V_{O(REC)}$	单端输出电压（隐性）	TXD=高，STB=0V, 无负载, CANH 端口, 如图 7-1	2	3	V
		TXD=高，STB=0V, 无负载, CANL 端口, 如图 7-1	2	3	V
$V_{OD(REC)}$	差分输出电压（隐性）	TXD=高，STB=0V, $R_L=60\ \Omega$, 如图 7-1	-120	12	mV
		TXD=高，STB=0V, 无负载, 如图 7-1	-50	+50	mV
$V_{O(STB)}$	待机模式总线电压	STB= V_{CC} , R_L open, CANH	-0.1	0.1	V
		STB= V_{CC} , R_L open, CANL	-0.1	0.1	V
		STB= V_{CC} , R_L open, CANH-CANL	-0.2	0.2	V
$I_{OS(SS_DOM)}$	短路电流(显性)	TXD=低，STB=0V, CANL 开路, CANH 从 -15V 到 40V, 如图 7-7	-115		mA
		TXD=低，STB=0V, CANH 开路, CANL 从 -15V 到 40V, 如图 7-7		115	
$I_{OS(SS_rec)}$	短路电流(隐性)	TXD=高，STB=0V, VBUS 从 -27V 到 32V, 如图 7-7	-6	6	mA
V_{sys}	瞬态对称性(显性和隐性)	$R_L=60\ \Omega$, STB=0V, $C_{split}=4.7\text{nF}$, R_{CM} open, Txd=250kHz, 1MHz, 2.5M Hz	0.9	1.1	V/V
V_{sys_dc}	DC 对称性(显性和隐性)	$R_L=60\ \Omega$, STB=0V, R_{CM} open	-0.4	0.4	V
T_{TSD}	过温保护		190		$^{\circ}\text{C}$
T_{TSD_HYS}	过温保护滞回		10		$^{\circ}\text{C}$

CAN 接收器(TXD=High, CANH/CANL 由外部驱动)

V_{CM}	共模输入范围	常规模式，RXD 输出有效，如图 7-2	-30	+30	V
		待机模式，RXD 输出有效，如图 7-2	-20	20	
V_{IT}	常规模式输入阈值电压	STB=0V, V_{cm} 从 -20V 到 20V, 如图 7-2	500	900	mV
		STB=0V, V_{cm} 从 -30V 到 30V, 如图 7-2	400	1000	
$V_{IT(STB)}$	待机模式输入阈值电压	STB=高, V_{cm} 从 -20V 到 20V, 如图 7-2	400	1150	mV
V_{DIFF_D}	常规模式差分输入阈值（显性）	STB=0V, V_{cm} 从 -20V 到 20V, 如图 7-2	0.9	9	V
		STB=0V, V_{cm} 从 -30V 到 30V, 如图 7-2	1	9	
V_{DIFF_R}	常规模式差分输入阈值（隐性）	STB=0V, V_{cm} 从 -20V 到 20V, 如图 7-2	-4	0.5	V
		STB=0V, V_{cm} 从 -30V 到 30V, 如图 7-2	-4	0.4	
$V_{DIFF_D(STB)}$	待机模式差分输入阈值（显性）	STB=高, V_{cm} 从 -20V 到 20V, 如图 7-2	1.15	9	V
$V_{DIFF_R(STB)}$	待机模式差分输入阈值（隐性）	STB=高, V_{cm} 从 -20V 到 20V, 如图 7-2	-4	0.4	V
V_{DIFF_HYST}	差分输入滞回	常规模式	100		mV
R_{IN}	CANH/CANL 输入电阻	TXD=高，STB=0V, V_{cm} 从 -30V 到 30V	20	45	k Ω
R_{DIFF}	差分输入电阻	TXD=高，STB=0V, V_{cm} 从 -30V 到 30V	40	90	k Ω
$R_{DIFF(M)}$	输入电阻匹配	CANH=CANL=5V	-1	1	%
I_{LKG}	输入端漏电流	$V_{CC}=0\text{V}$, $V_{CAN}=5\text{V}$		8	μA
C_{IN}	输入端电容	CANH 或者 CANL 到地, TXD=高	20		pF
C_{IN_DIFF}	输入差分电容	CANH 到 CANL, TXD=高	10		pF

6.6. 开关特性

建议工作条件下, 环境温度 $T_A = -55^{\circ}\text{C}$ 到 125°C 。

表 6-6 开关特性表

参数		测试条件	最小值	典型值	最大值	单位
驱动器开关特性						
t_R	总线驱动上升时间	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		30		ns
t_F	总线驱动下降时间	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		50		ns
t_{ONTXD}	TXD 延迟(隐形到显性)	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		80		ns
t_{OFFTXD}	TXD 延迟(显形到隐性)	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		70		ns
$T_{\text{sk(p)}}$	脉冲偏差	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		20		ns
t_{DOM}	TXD 显性超时	$R_L=60\ \Omega$, C_L open, 如图 7-5	2	5	8	ms
接收器开关特性						
t_{ONRXD}	RXD 延迟(隐形到显性)	STB=0V, $C_{\text{RXD}}=15\text{pF}$, 如图 7-2		65		ns
t_{OFFRXD}	RXD 延迟(显形到隐性)	STB=0V, $C_{\text{RXD}}=15\text{pF}$, 如图 7-2		90		ns
t_R	RXD 驱动上升时间	STB=0V, $C_{\text{RXD}}=15\text{pF}$, 如图 7-2		10		ns
t_F	RXD 驱动下降时间	STB=0V, $C_{\text{RXD}}=15\text{pF}$, 如图 7-2		10		ns
器件开关特性						
t_{loop1}	环路延迟时间	隐性到显性, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-3		125	210	ns
t_{loop2}	环路延迟时间	显性到隐性, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-3		150	210	ns
t_{ONTXD}	模式转换时间	从待机态到常态或者从常态到待机态, 如图 7-4			20	μs
$T_{\text{WK_FILTE}}$	有效唤醒的滤波时间	如图 8-4	0.5		1.8	μs
$T_{\text{WK_FILTEROUT}}$	总线唤醒超时	如图 8-4	0.8		6	ms
FD TIMING 特性						
$T_{\text{bit (bus)}}$	bit 时间	STB=0V, 总线侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, 如图 7-6	450		530	ns
$T_{\text{bit (bus)}}$	bit 时间	STB=0V, 总线侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, 高速版本, 如图 7-6	155		210	ns
$T_{\text{bit (rxd)}}$	bit 时间	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, 如图 7-6	400		550	ns
$T_{\text{bit (rxd)}}$	bit 时间	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, 高速版本, 如图 7-6	120		220	ns
T_{rec}	脉冲偏差	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, 如图 7-6	-50		20	ns
T_{rec}	脉冲偏差	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, 高速版本, 如图 7-6	-45		15	ns

7. 参数测量信息

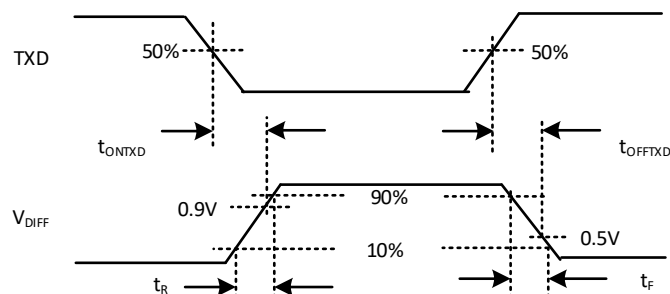
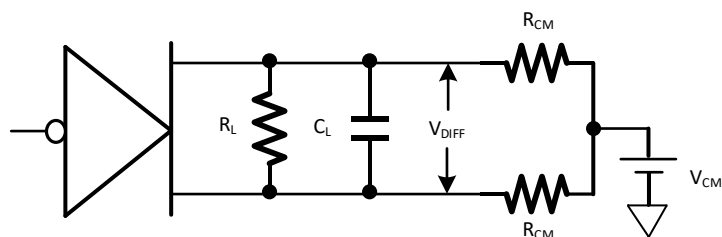


图 7-1 发射通道时序示意图

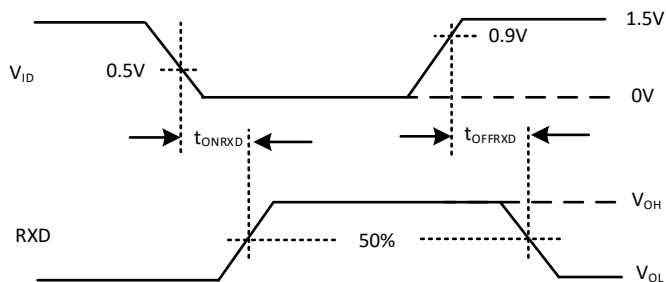
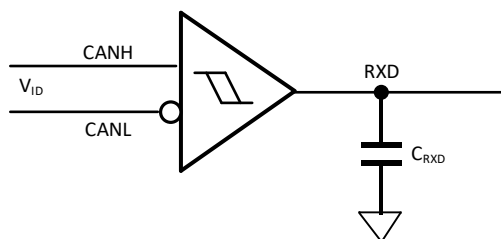


图 7-2 RXD 延迟示意图

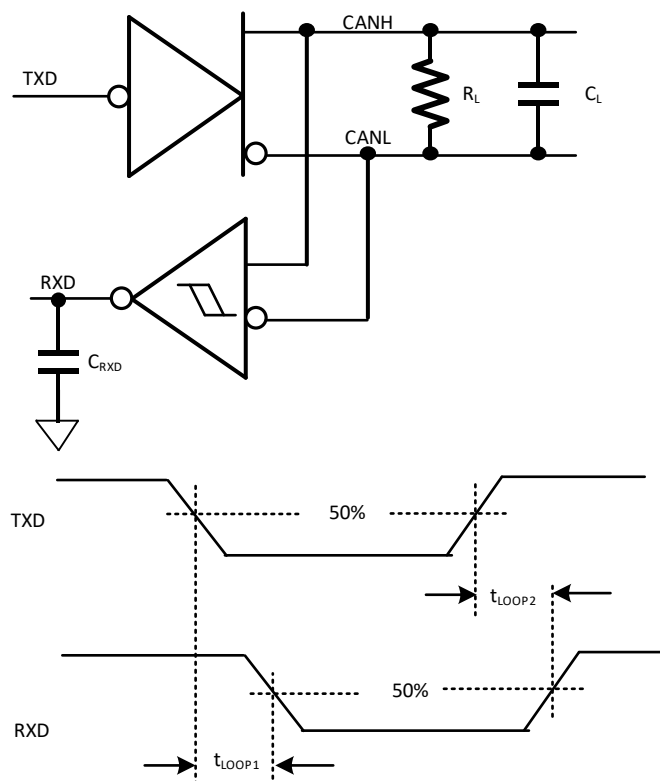


图 7-3 TXD 到 RXD 的环路延迟示意图

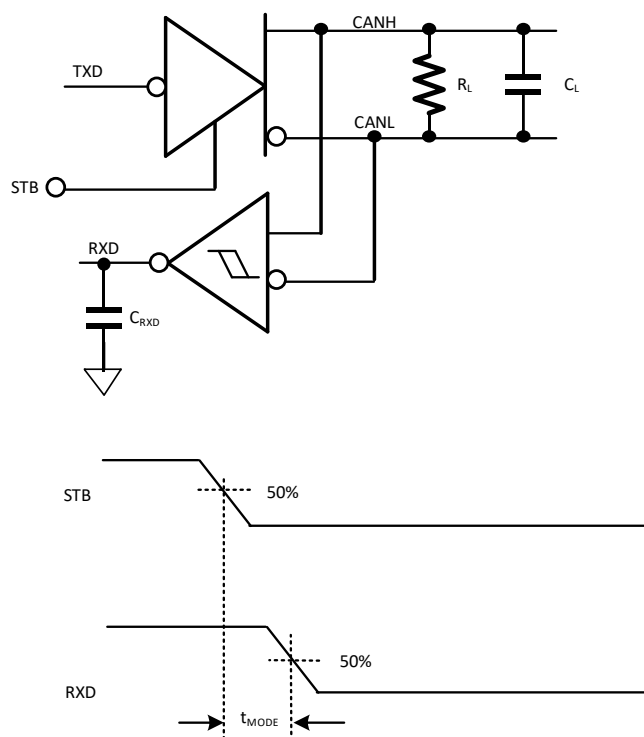


图 7-4 待机态到常态响应示意图

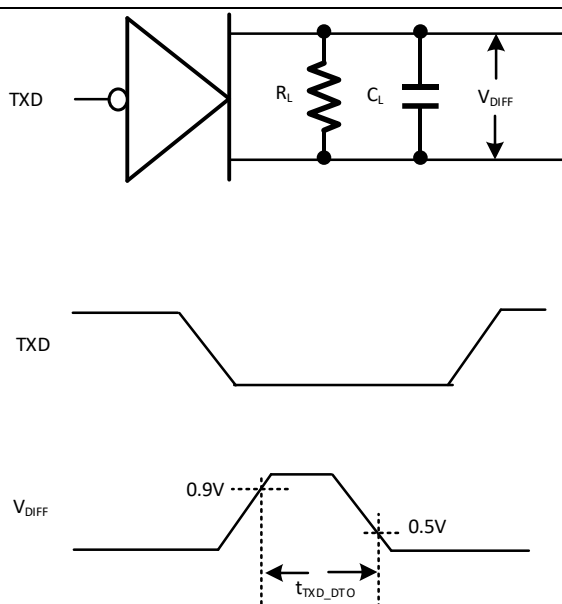


图 7-5 发射端显性超时示意图

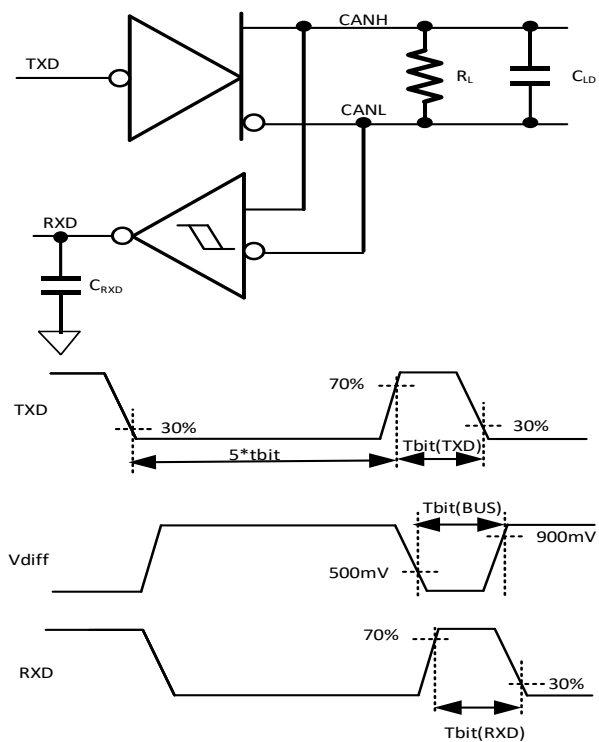


图 7-6 FD 时序示意图

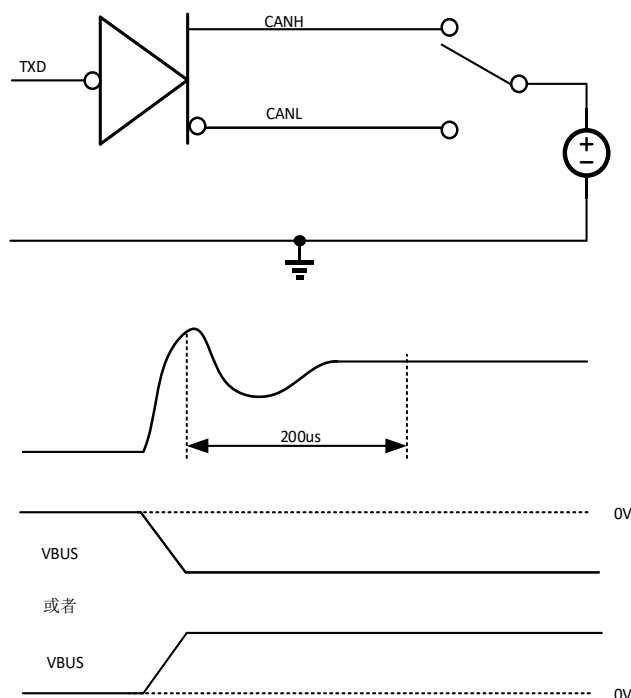


图 7-7 短路电流示意图

8. 详细说明

具有低功耗待机模式的 CAN 收发器 CA-IF1044 适用于工业网络应用，其 V_{CC} 工作电源电压为 5V。CA-IF1044 具有 $\pm 30V$ 的共模输入范围，CAN 总线端口(CANH,CANL)支持高达 $\pm 58V$ 的短路保护，使其能适用于恶劣的工业环境。

器件可以工作在 CAN 的最大传输速率下，允许小型网络传输 5Mbps 数率，最大的传输速率受限于电容负载和一些其他的因素。

CA-IF1044V 具有双电源供电，其 VIO 电源可与 MCU 共用一个电源，内部电平转换器将低压侧电平转换为 5V V_{CC} 电平。

CANH 和 CANL 具有输出短路保护功能，当过热时，内部的过温保护电路会将驱动输出设为高阻态。

8.1. CAN 总线状态

常规模式下 CAN 总线有两种工作状态：显性和隐性，如图 9-1 和 9-2。显性态时，TXD 为低，总线差分输出，RXD 输出为低。隐性态时，TXD 为高，总线被内部电阻偏置到 $V_{CC}/2$ ，RXD 输出为高。

当 STB 置高，芯片会进入低功耗待机模式，这时，总线会被内部电阻偏置到地，如图 9-1 和 9-2。

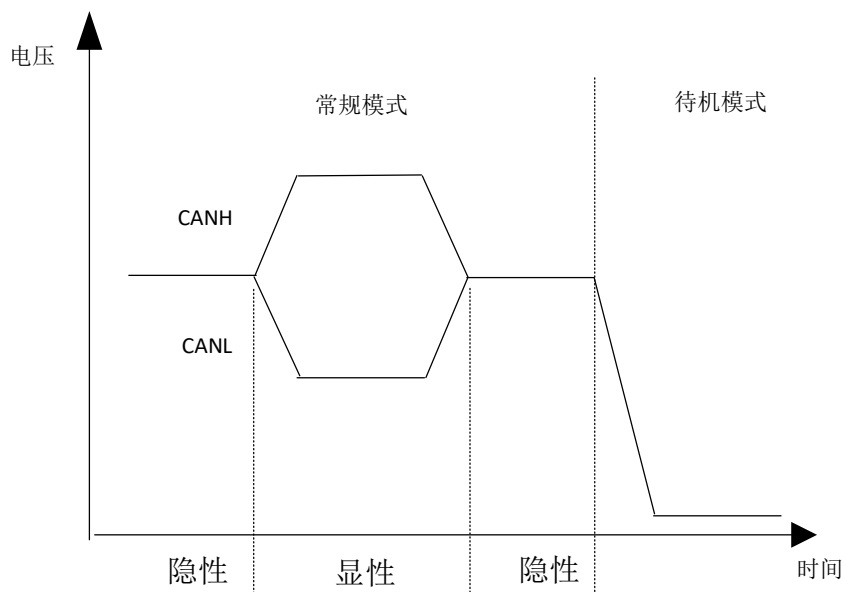


图 8-1 总线状态示例图

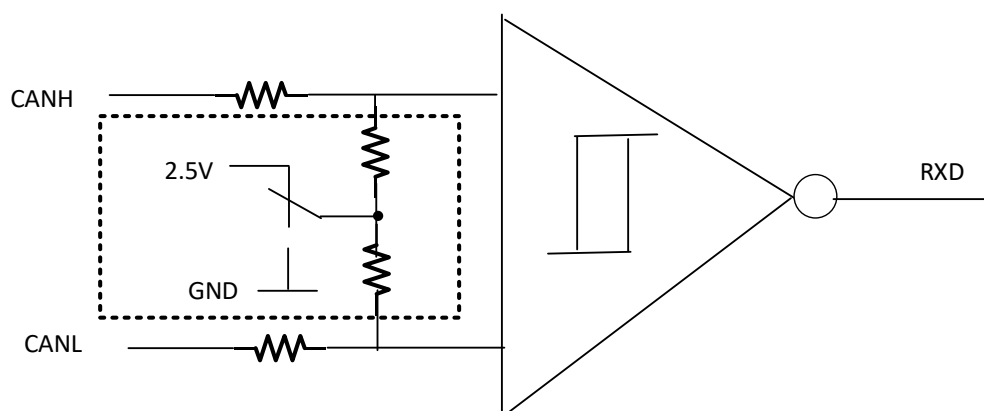


图 8-2 简化的接收器偏置和接收器示例图

8.2. 发射端显性超时功能

在常规模式显性状态下，若 CAN 控制器发生错误时候，会将 TXD 一直拉低，总线就会被钳位在显性状态，显性超时功能则会避免这一状态。显性超时保护被 TXD 的下降沿所触发，当 TXD 处于显性的时间超过 $t_{\text{TXD-DTO}}$ 时候，发射器会被关闭，以释放总线到隐性状态。在出现显性超时故障后，发射器可以被 TXD 的上升沿重新使能。发射器的显性超时功能限制了可能的最低传输速率为 4kbps。

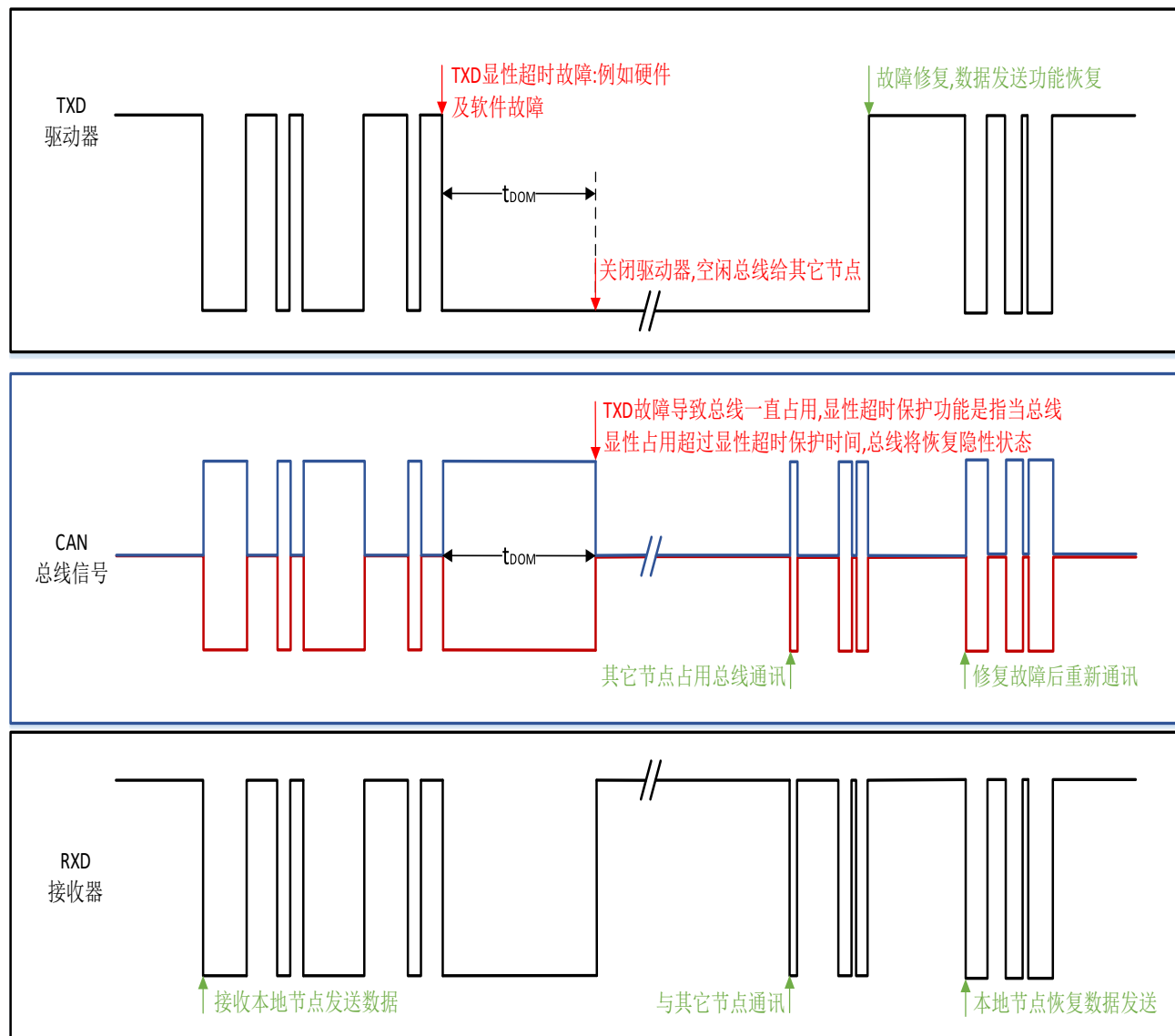


图 8-3 显性超时保护时序示例图

8.3. 欠压保护

V_{CC} 和 V_{IO} 电源具有欠压保护功能。

在 CA-IF1044 中, 当 V_{CC} 低于 $V_{uv_vcc_sd}$ 值时, 不管 STB 管脚状态如何, 芯片进入到保护态。当电源高于 $V_{uv_vcc_sd}$ 但低于 V_{uv_vcc} 时, 若 $STB=GND$, 保护态; 若 $STB=V_{CC}$, 待机模式。当电源高于 V_{uv_vcc} 时, 正常态。

在 CA-IF1044V 中, 如果 V_{IO} 电源小于 V_{uv_vio} , 收发器处于保护态。如果 V_{IO} 电源正常而 V_{CC} 欠压, 芯片则根据 STB 的电平进入低功耗待机模式或者保护态。

表 8-1 欠压保护状态表(CA-IF1044)

V_{CC}	Device state	BUS Output	RXD
大于 V_{uv_vcc}	正常态	根据 TXD	根据总线
小于 V_{uv_vcc} 并且大于 $V_{uv_vcc_sd}$	$STB=V_{CC}$, 待机模式	偏置到地	根据唤醒状态
	$STB=GND$, 保护态	高阻	隐性
小于 $V_{uv_vcc_sd}$	保护态	高阻	高阻

表 8-2 欠压保护状态表(CA-IF1044V)

V_{CC}	V_{IO}	Device state	BUS Output	RXD
大于 V_{uv_vcc}	大于 V_{uv_vio}	正常态	根据 TXD	根据总线
小于 V_{uv_vcc}	大于 V_{uv_vio}	$STB=V_{IO}$, 待机模式	偏置到地	根据唤醒状态
		$STB=GND$, 保护态	高阻	隐性
大于 V_{uv_vcc}	小于 V_{uv_vio}	保护态	高阻	高阻
小于 V_{uv_vcc}	小于 V_{uv_vio}	保护态	高阻	高阻

8.4. 驱动端

在常规工作模式下, 当 TXD 输入高电平或者悬空时候, 总线输出处于隐性状态, 当 TXD 输入低电平时候, 总线输出处于显性状态。

表 8-3 驱动器功能表

Device	INPUT	OUTPUT		Bus driver state
	TXD	CANH	CANL	
常规模式	低	高	低	显性
	高或者悬空	高阻	高阻	隐性
待机模式	X	高阻	高阻	弱拉至地

当输出端短路到高或低电平时候, CA-IF1044 通过限制驱动级电流来进行短路保护。过温保护功能进一步保护了短路时产生的过热, 当短路移除后, 驱动端将回到正常工作状态。

8.5. 接收端

接收端读取总线(CANH,CANL)上的差分输入数据并将其转化为单端输出(RXD)到 CAN 控制器。其内部包含一个比较器, 比较器读取差分电压 $V_{DIFF}=(CANH-CANL)$, 同内部的 0.7V 阈值电压进行比较。如果 $V_{DIFF}>0.9V$, 输出低电平到 RXD, 如果 $V_{DIFF}<0.5V$, 输出高电平到 RXD。

总线 CANH 和 CANL 的共模电压范围为 $\pm 20V$ 。当 CANH 和 CANL 发生短路, 断路或者悬空时, RXD 输出高电平。

表 8-4 接收器功能表

Device Mode	VID=VCANH-VCANL	BUS state	RXD
常规模式	VID>0.9V	显性	低
	0.5V<VID<0.9V	未知	未知
	VID<0.5V	隐性	高
待机模式	VID>1.15V	显性	唤醒后根据总线状态
	0.4V<VID<1.15V	未知	
	VID<0.4V	隐性	
任何情况	OPEN(VID=0V)	OPEN	高

8.6. 过温保护

当结温超过过温保护阈值时，驱动端会关断。在过温时，CANH 和 CANL 处于高阻态，而接收端一直工作。当结温回退至正常工作温度范围内，驱动端回到正常的工作模式。

8.7. 非上电状态

当没有上电时候，总线端处于高阻态，小的漏电流允许总线上挂更多的器件。

8.8. 悬空端口状态

当 TXD 端口悬空时候，内部上拉至电源，使得总线输出处于隐性状态。当 STB 端口悬空时候，内部上拉至电源，器件处于待机模式以节省功耗。

8.9. VIO 电源

在 CA-IF1044V 中带有 VIO 电源，芯片逻辑端口可以直接和微控制器相连接，芯片内部会将逻辑电平转换为 5V 电压域。该版本支持 3.3V 到 5.0V 的逻辑输入。在 VIO 电源大于等于 3.3V 时候，待机模式支持+/-20V 的总线唤醒共模电压，

8.10. 工作模式

CA-IF1044 有两种工作模式:常规模式和待机模式。模式选择由 STB 管脚来控制。

表 8-5 工作模式表

STB	Mode	Driver	Receiver	RXD
高	待机模式	关闭	低功耗接收器工作	唤醒后根据总线
低	常规模式	工作	工作	根据总线

8.10.1. 常规模式

当 STB 端口拉低时候，器件处于常规模式。在此模式下，收发器都正常工作并支持双向的总线通信。

8.10.2. 待机模式

当 STB 端口拉高或者悬空时候，器件处于待机模式。在此模式下，驱动器和主接收器都被关闭，不支持双向通信。低功耗接收器工作，以接受总线的唤醒请求。唤醒序列如图 9-4 所示，控制器检测 RXD 从高跳低后将 STB 管脚拉低以使器件回到常规模式。

在待机模式下，总线被偏置到地以节省功耗。

8.11. 远程唤醒

总线上的一个特定的唤醒序列可以将芯片从待机模式唤醒（根据 ISO 11898-2:2016）。

唤醒序列包含：

- 显性态至少持续 T_{wk_FILTE} , 然后

- 隐性态至少持续 T_{wk_FILTE} , 然后
- 显性态至少持续 T_{wk_FILTE}

上述中的显性或者隐性位宽若小于 T_{wk_FILTE} 和 T_{wk_FILTE} 将会被忽略。

该完整的显性-隐性-显性序列必须小于 $T_{wk_FILTE_OUT}$ 以被有效识别 (图 8-4), 否则, 内部的唤醒逻辑会被重置, 必须等待下一个完整的唤醒序列来触发唤醒行为。在有效唤醒前, RXD 管脚一直为高电平。

再检测到完整的唤醒序列后, 芯片仍处于待机模式下, RXD 管脚输出总线的信号。总线的信号若小于 T_{WK_FILTE} 时间, 将不会被低功耗接收器识别并输出到 RXD 管脚上。

在有效唤醒后, 若发生以下行为, RXD 管脚仍将不会显示唤醒行为:

- 芯片切换到常规模式;
- 在 $T_{wk_FILTE_OUT}$ 时间内, 完整的唤醒序列没有被接受到;
- V_{CC} 发生欠压 ($V_{CC} < V_{uv_vcc_sd}$);

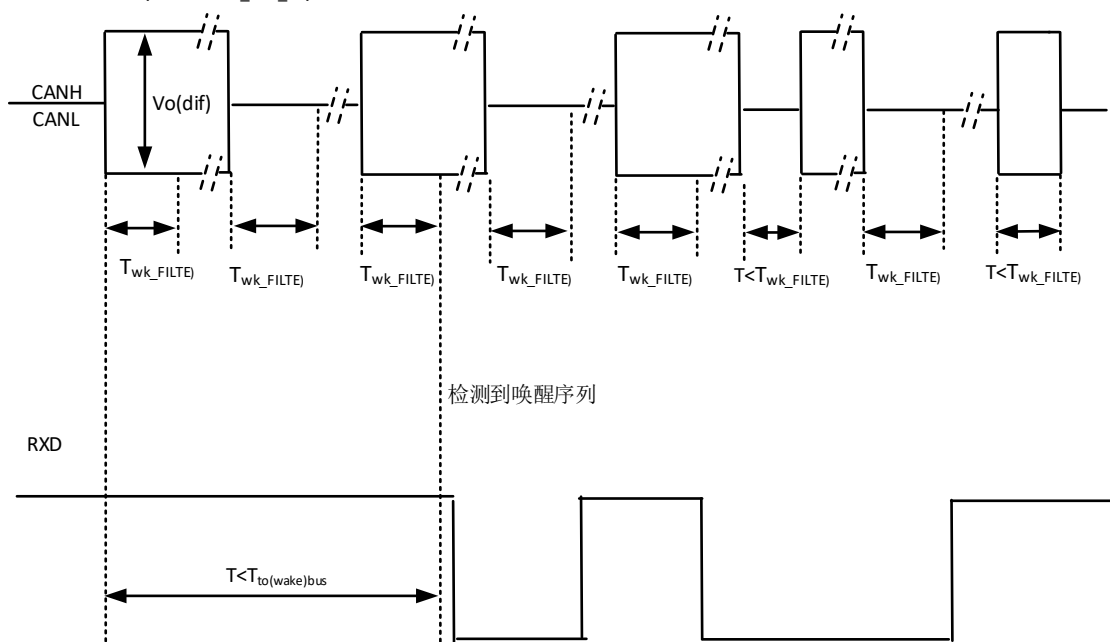


图 8-4 显性超时保护时序示例图

9. 应用信息

图 9-1 给出了 CA-IF1044 版本的典型应用图，V_{CC} 电源与 MCU 的电源连接在一起。

图 9-2 给出了 CA-IF1044V 版本的典型应用图，V_{IO} 电源与 MCU 的电源连接在一起。

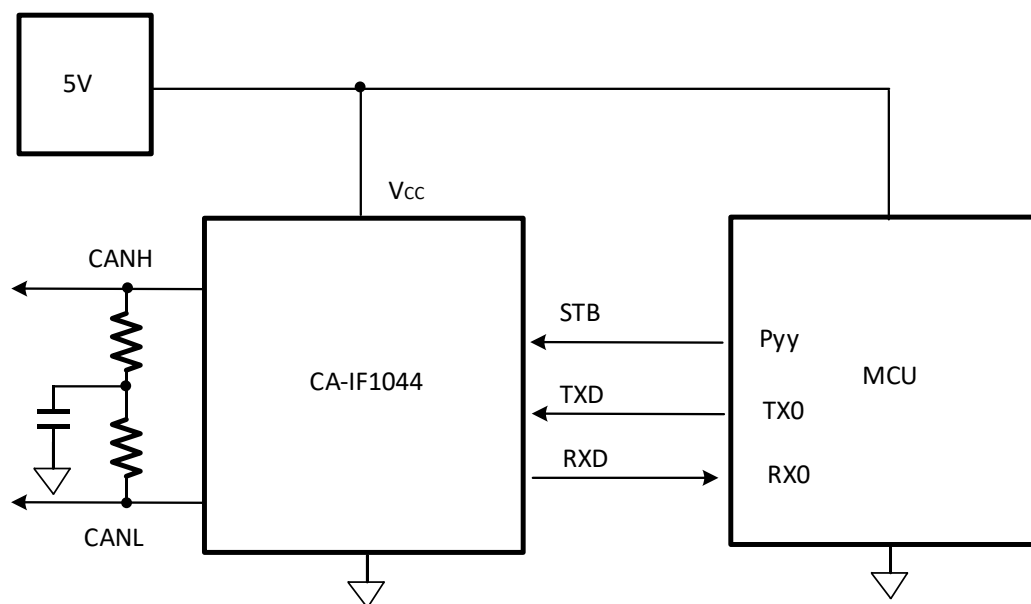


图 9-1 CA-IF1044 CAN 总线典型应用图

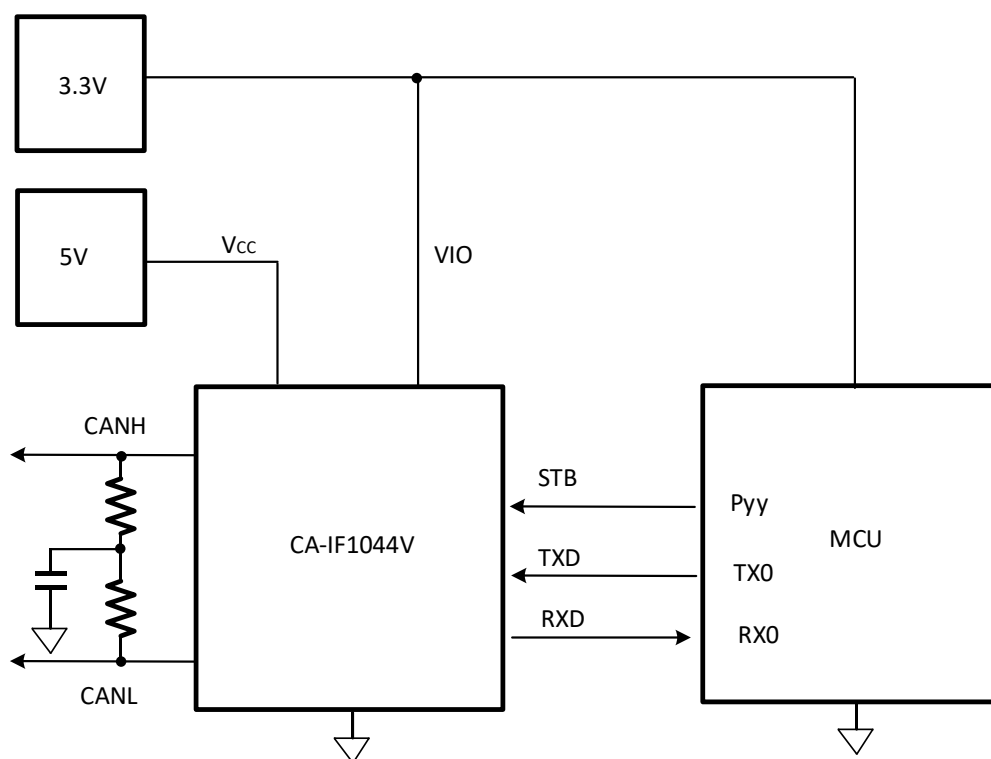
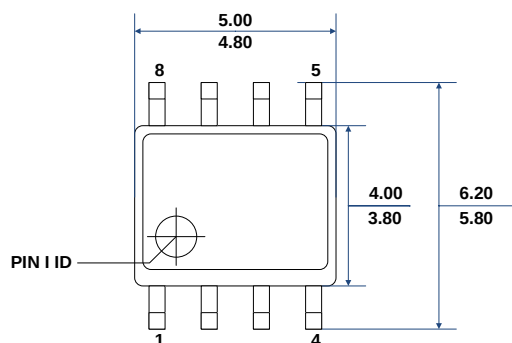


图 9-2 CA-IF1044V CAN 总线典型应用图

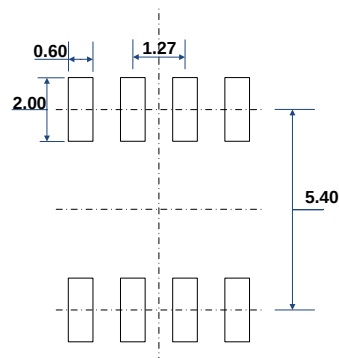
10. 封装信息

10.1. SOIC8 的外形尺寸

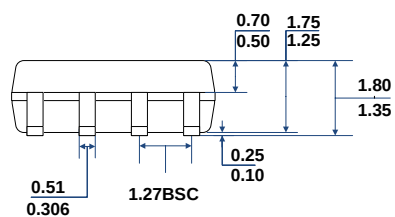
SOIC8 封装尺寸图和建议焊盘尺寸图。尺寸以毫米为单位



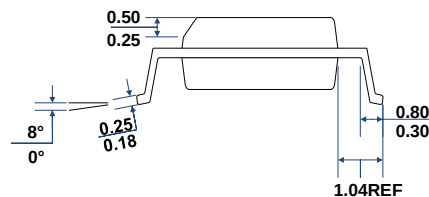
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW

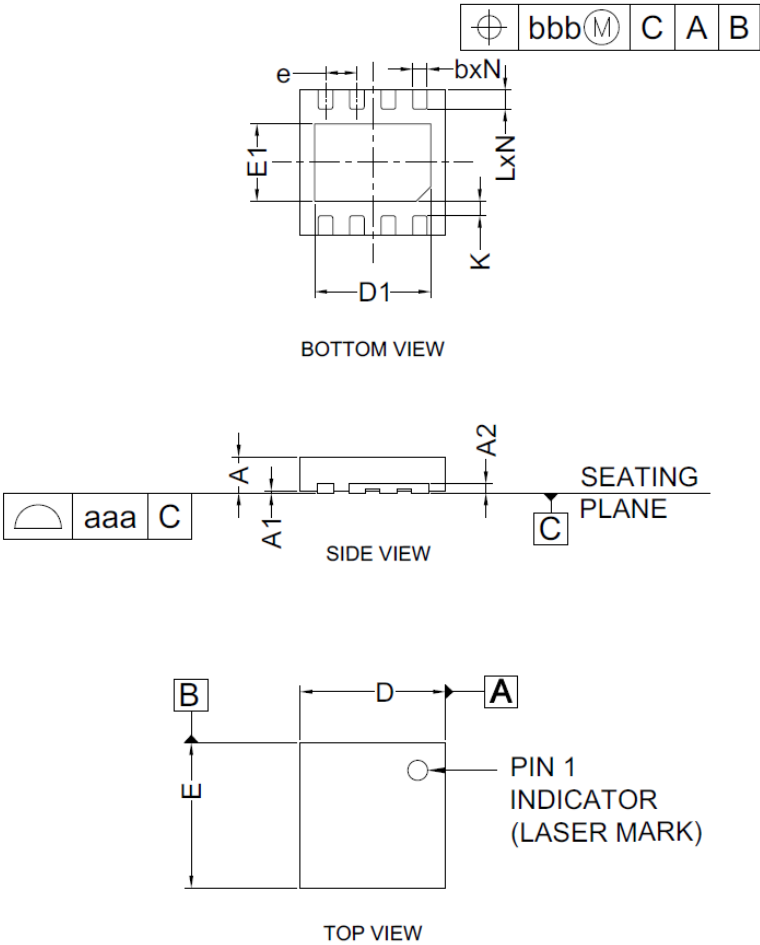


LEFT-SIDE VIEW

图 10-1 SOIC8 封装尺寸图

10.2. DFN8 的外形尺寸

DFN8 的封装尺寸图，尺寸以毫米为单位。



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	TYP	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.203		
b	0.25	0.30	0.35
D	2.90	3.00	3.10
D1	2.35	2.40	2.45
E	2.90	3.00	3.10
E1	1.55	1.60	1.65
e	0.65BSC		
L	0.35	0.40	0.45
K	0.20	-	-
N	8		
aaa	0.08		
bbb	0.10		

11. 焊接信息

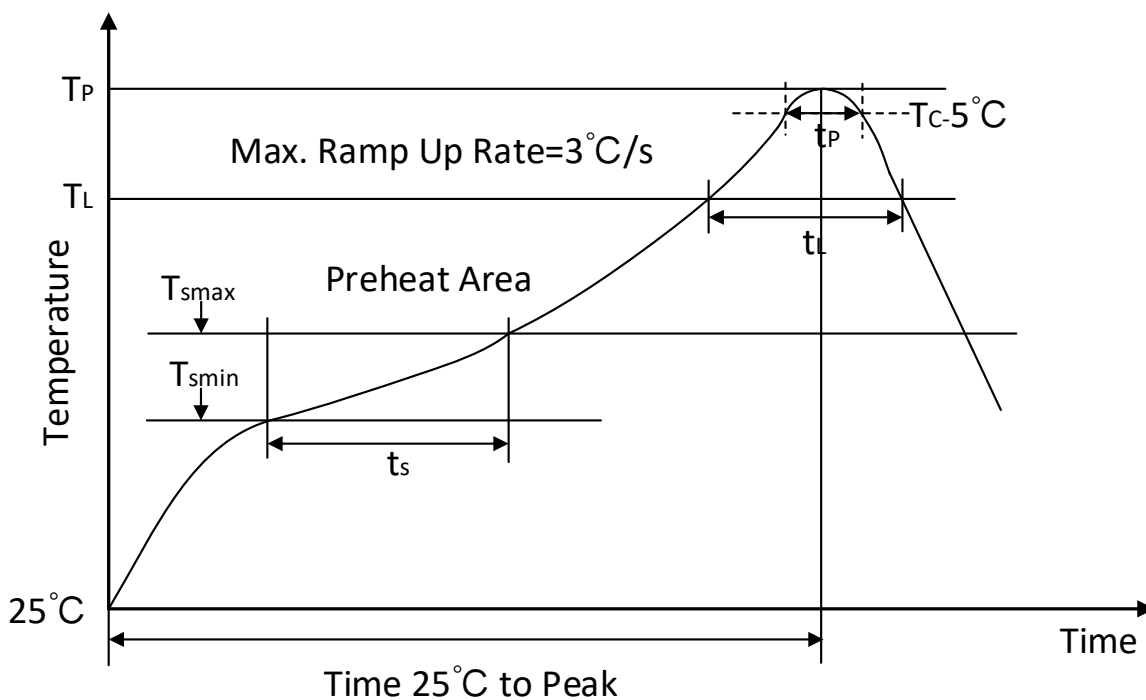
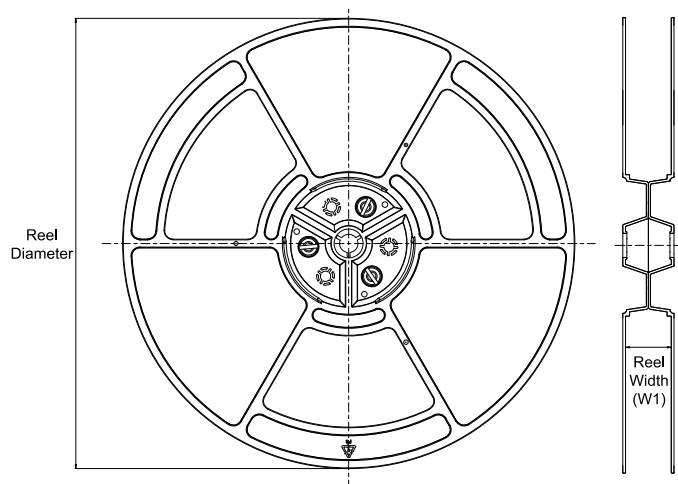
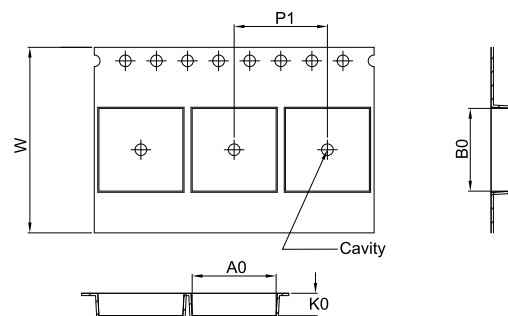
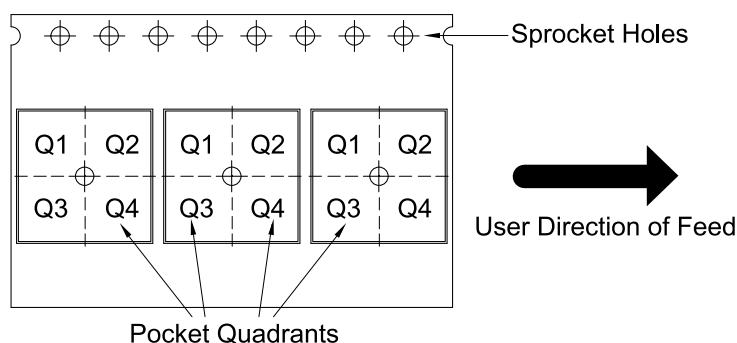


图 12- 1 焊接温度曲线

简要说明	无铅焊接
温升速率 ($T_L=217^\circ\text{C}$ 至峰值 T_P)	最大 3°C/s
$T_{smin}=150^\circ\text{C}$ 到 $T_{smax}=200^\circ\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率 (峰值 T_P 至 $T_L=217^\circ\text{C}$)	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

12. 编带信息
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF1044S-Q1	SOIC8	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IF1044VS-Q1	SOIC8	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IF1044D-Q1	DFN8	D	8	3000	330	12.4	3.35	3.35	1.13	8.00	12.00	Q1
CA-IF1044VD-Q1	DFN8	D	8	3000	330	12.4	3.35	3.35	1.13	8.00	12.00	Q1

13. 附录

表 13-1 ISO11898-2:2016 标准参数对照表

ISO 11898-2:2016		CA-IF1044 Datasheet	
Parameter	Note	Symbol	Parameter
HS-PMA dominant output characteristics			
Single ended voltage on CAN_H	V _{CAN_H}	V _{O(DOM)}	dominant output voltage
Single ended voltage on CAN_L	V _{CAN_L}		
Differential voltage on normal bus load	V _{Diff}	V _{OD(DOM)}	dominant differential output voltage
Differential voltage on effective resistance during arbitration			
Optional: Differential voltage on extended bus load range			
HS-PMA driver symmetry			
Driver symmetry	V _{sym}	V _{sym}	transmitter voltage symmetry
Maximum HS-PMA driver output current			
Absolute current on CAN_H	I _{CAN_H}	I _{OS(SS_DOM)}	dominant short-circuit output current
Absolute current on CAN_L	I _{CAN_L}		
HS-PMA recessive output characteristics, bus biasing active/inactive			
Single ended output voltage on CAN_H	V _{CAN_H}	V _{O(REC)}	recessive output voltage
Single ended output voltage on CAN_L	V _{CAN_L}		
Differential output voltage	V _{Diff}	V _{OD(REC)}	recessive differential output voltage
Optional HS-PMA transmit dominant timeout			
Transmit dominant timeout, long	t _{dom}	t _{DOM}	TXD dominant time-out time
Transmit dominant timeout, short			
HS-PMA static receiver input characteristics, bus biasing active/inactive			
Recessive state differential input voltage range	V _{Diff}	V _{IT}	differential receiver threshold voltage
Dominant state differential input voltage range			
HS-PMA receiver input resistance (matching)			
Differential internal resistance	R _{Diff}	R _{DIFF}	differential input resistance
Single ended internal resistance	R _{CAN_H} R _{CAN_L}	R _{IN}	input resistance
Matching of internal resistance	m _R	R _{DIFF(M)}	input resistance deviation
HS-PMA implementation loop delay requirement			
Loop delay	t _{Loop}	t _{loop2}	delay time from TXD HIGH to RXD HIGH
		t _{loop1}	delay time from TXD LOW to RXD LOW
Optional HS-PMA implementation data signal timing requirements for use with bit rates above 1 Mbit/s up to 2 Mbit/s and above 2 Mbit/s up to 5 Mbit/s			
Transmitted recessive bit width @ 2 Mbit/s / @ 5 Mbit/s, intended	t _{Bit(Bus)}	t _{bit(BUS)}	transmitted recessive bit width
Received recessive bit width @ 2 Mbit/s / @ 5 Mbit/s	t _{Bit(RXD)}	t _{bit(RXD)}	bit time on pin RXD
Receiver timing symmetry @ 2 Mbit/s / @ 5 Mbit/s	Δt _{Rec}	Δt _{Rec}	receiver timing symmetry
HS-PMA maximum ratings of V _{CAN_H} , V _{CAN_L} and V _{Diff}			
Maximum rating V _{Diff}	V _{Diff}	V(DIFF)	voltage between pin CANH and pin CANL
General maximum rating V _{CAN_H} and V _{CAN_L}	V _{CAN_H}	V(BUS)	voltage on CANH, CANL pin
Optional: Extended maximum rating V _{CAN_H} and V _{CAN_L}	V _{CAN_L}		

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>