

CA-IF1042-Q1 具有 $\pm 70V$ 故障保护的 CAN 收发器

1. 产品特性

- 符合 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准
- 所有器件均支持经典 CAN 和 5Mbps CAN FD（灵活数据速率）
- I/O 电压范围支持 3.3V 和 5V 微控制器 (MCU)
- 未上电时的理想无源特性
 - 总线故障保护: $\pm 70V$
 - 上电和掉电时总线和 RXD 输出上无毛刺脉冲
- 保护特性
 - 总线故障保护: $\pm 70V$
 - V_{CC} 和 V_{IO} （仅限 V 型号）电源引脚上具有欠压保护
 - 驱动器显性超时 (TXD DTO) – 最低数据速率低至 4kbps
 - 热关断保护 (TSD)
- 接收器共模输入电压: $\pm 30V$
- 典型环回延迟: 160ns
- 结温范围: $-55^{\circ}C$ 至 $150^{\circ}C$
- 可提供 SOIC8 封装
- AEC-Q100 Grade 1

2. 应用

- 车身控制模块
- 汽车网关
- 高级驾驶辅助系统(ADAS)
- 信息娱乐系统
- 混动、电动汽车动力系统
- 个人交通工具-电动自行车
- 工业控制

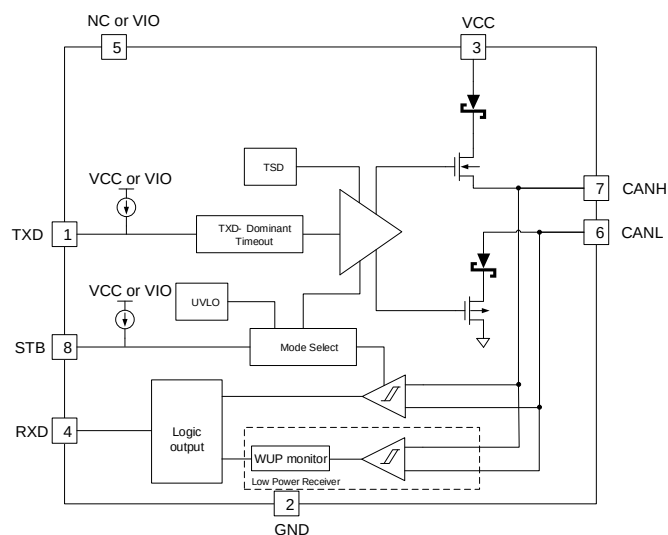
3. 概述

这款 CAN 收发器系列符合 ISO 11898-2 (2016) 高速 CAN（控制器局域网）物理层标准。所有器件均设计用于数据速率高达 5Mbps（兆位每秒）的 CAN FD 网络。部件号包含“V”后缀的器件配有用于 I/O 电平转换的辅助电源输入（用于设置输入引脚阈值和 RXD 输出电平）。该系列器件具有低功耗待机模式及远程唤醒请求特性。此外，所有器件均包含多种保护功能，以提高器件和 CAN 网络的稳定性。

器件信息

零件号	封装	封装尺寸(标称值)
CA-IF1042S-Q1	SOIC8	4.9mm x 3.9mm
CA-IF1042VS-Q1		

简化芯片结构图



4. 订购指南

表 4-1 有效订购零件编号

型号	特性	封装
CA-IF1042S-Q1	Pin5 = NC	SOIC8
CA-IF1042VS-Q1	Pin5 = V_{IO} , 具有电平转换功能	SOIC8

目录

1. 产品特性.....	1	9.4. 欠压保护	19
2. 应用	1	9.5. 驱动端	19
3. 概述	1	9.6. 接收端	20
4. 订购指南.....	2	9.7. 过温保护	20
5. 引脚功能描述.....	4	9.8. 非上电状态	20
6. 产品规格	5	9.9. 悬空端口状态	20
6.1. 绝对最大额定值.....	5	9.10. V _{IO} 电源.....	20
6.2. ESD 额定值	5	9.11. 工作模式	20
6.3. 建议工作条件.....	5	9.10.1 常规模式	20
6.4. 热量信息.....	5	9.10.2 待机模式	21
6.5. 电气特性.....	6	9.10.3 远程唤醒	21
6.6. 开关特性.....	8	10. 应用信息	22
7. 参数测量信息.....	9	11. 封装信息	23
8. 典型特性	13	11.1. 焊接信息	24
9. 详细说明	17	11.2. 编带信息	25
9.1. 概述	17	12. 附录	26
9.2. CAN 总线状态	17	13. 重要声明	28
9.3. 发射端显性超时功能.....	18		

修订历史

修订版本号	修订内容	页码
Version 1.01	NA	NA
Version 1.02	更新 AEC-Q100 认证进度，更新应用列表	1
Version 1.03	更新 5V 电源电流 I _{CC}	6
Version 1.04	更新标题描述	1
Version 1.05	更新编带信息	26
Version 1.06	优化 V _{CC} 和 V _{IO} UVLO 描述，增加可读性	6,19
Version 1.07	增加逻辑接口 VIH/VIL 和 VOH/VOL 最大/最小值的参考电源的备注说明	6
Version 1.08	删除 DNF8 封装料号，更新典型特性曲线图	1, 2,24,15,16

5. 引脚功能描述

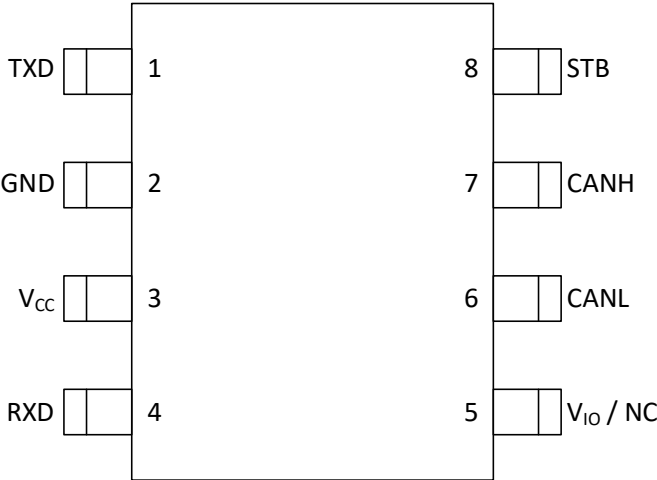


图 5-1 CA-IF1042x 引脚图

表 5-1 CA-IF1042x 引脚功能描述

Table with 5 columns: Pin Name, Pin Number (CA-IF1042S-Q1, CA-IF1042VS-Q1), Type, and Description. Rows include TXD, GND, VCC, RXD, NC, VIO, CANL, CANH, and STB.

6. 产品规格

6.1. 绝对最大额定值

参数		最小值	最大值	单位
V _{CC}	5-V 总线电源电压	-0.3	7	V
V _{IO}	IO 侧电平转换电源电压	-0.3	7	V
V _{BUS}	CAN 总线 IO 电压 (CANH, CANL)	-70	70	V
V(DIFF)	CANH 和 CANL 间的最大差分电压	-70	70	V
V _(Logic_Input)	逻辑侧端口输入电压 (TXD, STB)	-0.3	+7 and < V _{IO} +0.3	V
V _(Logic_Output)	逻辑侧端口输出电压 (RXD)	-0.3	+7 and < V _{IO} +0.3	V
I _{O (RXD)}	RXD 接收器输出电流	-8	8	mA
T _J	结温	-55	150	°C
T _{STG}	存储温度	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

6.2. ESD 额定值

测试项目	测试条件		数值	单位
CA-IF1042X				
HBM ¹ ESD	所有管脚		±8000	V
	CAN 总线端口（CANH，CANL）到 GND		±16000	
CDM ESD	所有管脚		±2000	V
System Level ESD	CAN 总线端口（CANH，CANL）到 GND	IEC 61000-4-2：不上电接触放电	±6000 ²	V

备注:

1. JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程实现安全制造;
2. 系统板级测试;

6.3. 建议工作条件

参数		最小值	最大值	单位
V _{CC}	5-V 总线电源电压	4.5	5.5	V
V _{IO}	IO 侧电平转换电源电压	3.0	5.5	V
I _{OH} (RXD)	RXD 端口高电平输出电流	-2		mA
I _{OL} (RXD)	RXD 端口低电平输出电流		2	mA

6.4. 热量信息

热量表		SOIC	单位
R _{θJA}	IC 结至环境的热阻	170	°C/W
R _{θJC(top)}	IC 结到壳 (顶部) 热阻	40	°C/W

6.5. 电气特性

建议工作条件下，环境温度 $T_A = -40^{\circ}\text{C}$ 到 125°C 。

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I_{CC}	5V 电源电流	TXD=0V, $R_L=60\ \Omega$, $C_L=open$, $R_{CM}=open$, STB=0V, Typical Bus Load, 如图 7-1		45	80	mA
		TXD=0V, STB=0V, CANH=-12V, $R_L=open$, $C_L=open$, $R_{CM}=open$, 如图 7-1			110	mA
		TXD= V_{CC} or V_{IO} , $R_L=50\ \Omega$, $R_{CM}=open$, $C_L=open$, STB=0V, $C_L=open$, $R_{CM}=open$, 如图 7-1		1.3	2.5	mA
		TXD=STB= V_{IO} (待机模式, CA-IF1042V), $R_L=50\ \Omega$, $C_L=open$, $R_{CM}=open$, 如图 7-1		0.5	5	uA
		TXD=STB= V_{CC} (待机模式, CA-IF1042), $R_L=50\ \Omega$, 如图 7-1		14	22	uA
I_{IO}	I/O 供电电流	TXD=0V, STB=0V, RXD 悬空		70	300	uA
		TXD= V_{IO} , STB= V_{IO} , RXD 悬空		11	17	uA
V_{UV_VCC}	V_{CC} UVLO 电压	上升		4.1	4.45	V
V_{UV_VCC}	V_{CC} UVLO 电压	下降	3.55	3.9	4.35	V
$V_{UV_VCC_hys}$	V_{CC} UVLO 迟滞电压	迟滞电压		200		mV
$V_{UV_IO}/$ $V_{UV_VCC_sd}$	V_{IO} UVLO 电压(CA-IF1042VS-Q1) / V_{CC_sd} UVLO 电压(CA-IF1042S-Q1)	上升	1.3		2.8	V
$V_{UV_IO_hys}$ $V_{UV_VCC_sd_hys}$	V_{IO} UVLO 电压(CA-IF1042VS-Q1) / V_{CC_sd} UVLO 电压(CA-IF1042S-Q1)	迟滞电压		80		mV
逻辑接口(STB 选择输入)						
V_{IH}	输入高电平		$0.7 \cdot V_{CC}^1$			V
V_{IL}	输入低电平			$0.3 \cdot V_{CC}^1$		V
I_{IH}	输入高电平漏电流	STB= $V_{CC}=V_{IO}$ 5.5V	-2		2	uA
I_{IL}	输入低电平漏电流	STB=0V, $V_{CC}=V_{IO} = 5.5V$	-20		-2	uA
$I_{lek(off)}$	未上电时漏电流	STB=5.5V, $V_{CC}=V_{IO} = 0V$	-1		1	uA
逻辑接口(TXD 输入端口)						
V_{IH}	输入高电平		$0.7 \cdot V_{CC}^1$			V
V_{IL}	输入低电平			$0.3 \cdot V_{CC}^1$		V
I_{IH}	输入高电平漏电流	TXD= $V_{CC}=V_{IO} = 5.5V$	-2.5	0	1	uA
I_{IL}	输入低电平漏电流	TXD=0V, $V_{CC}=V_{IO} = 5.5V$	-100	-50	-7	uA
$I_{lek(off)}$	未上电时漏电流	TXD=5.5V, $V_{CC}=V_{IO} = 0V$	-1	0	1	uA
C_i	输入电流	$V_{IN}=0.4 \cdot \sin(4E6 \cdot \pi \cdot t) + 2.5V$		5		pF
逻辑接口(RXD 输出端口)						
V_{OH}	输出高电平	$I_o = -2mA$	$0.8 \cdot V_{CC}^1$			V
V_{OL}	输出低电平	$I_o = +2mA$		$0.2 \cdot V_{CC}^1$		V
$I_{lek(off)}$	未上电时漏电流	STB=5.5V, $V_{CC}=0V$, $V_{IO}=0V$	-1	0	1	uA
注：1. CA-IF1042S-Q1 的参考电压源 V_{CC} ，CA-IF1042VS-Q1 的参考电压源 V_{IO} 。						
CAN 总线驱动						
$V_{O(DOM)}$	单端输出电压（显性）	TXD=低, STB=0V, $R_L=50-65\ \Omega$, $C_L=open$, $R_{CM}=open$, CANH 端口, 如图 7-1	2.75		4.5	V
		TXD=低, STB=0V, $R_L=50-65\ \Omega$, $C_L=open$, $R_{CM}=open$, CANL 端口, 如图 7-1	0.5		2.25	V
$V_{O(REC)}$	单端输出电压（隐性）	TXD= V_{CC} or V_{IO} , $V_{CC}=V_{IO}$ STB=0V, $R_L=open$, $R_{CM}=open$, CANH 端口/CANL 端口, 如图 7-1	2	$0.5 \cdot V_{CC}$	3	V

V _{O(STB)}	待机模式总线电压	STB=V _{IO} , R _L open, R _{CM} open, CANH	-0.1	0.1	V
		STB= V _{IO} , R _L open, R _{CM} open, CANL	-0.1	0.1	V
		STB= V _{IO} , R _L open, R _{CM} open, CANH-CANL	-0.2	0.2	V
V _{OD(DOM)}	差分输出电压（显性）	TXD=低, STB=0V, R _L =45-50 Ohm , R _{CM} open, 如图 7-1	1.4	3	V
		TXD=低, STB=0V, R _L =50-65 Ohm , R _{CM} open, 如图 7-1	1.5	3.0	V
		TXD=低, STB=0V, R _L =2240 Ohm , R _{CM} open, 如图 7-1	1.5	5.0	V
V _{OD(REC)}	差分输出电压（隐性）	TXD=高, STB=0V, R _L =60 Ohm, C _L =open, R _{CM} =open, CANH-CANL 如图 7-1	-120	12	mV
		TXD=高, STB=0V, R _L =open, C _L =open, R _{CM} =open, CANH-CANL 如图 7-1	-50	50	mV
V _{SYM}	瞬态对称性(显性和隐性)	R _L =60 Ohm, STB=0V, C _{split} =4.7nF, R _{CM} open , Txd=250kHz, 1MHz, 2.5M Hz,如图 7-1	0.9	1.1	V/V
V _{SYM_DC}	DC 对称性(显性和隐性)	R _L =60 Ohm, STB=0V, R _{CM} open, 如图 7-1	-0.4	0.4	V
I _{OS(SS_DOM)}	短路电流(显性)	TXD=低, STB=0V ,CANL 开路, CANH 从-5V 到 40V, 如图 7-7	-100		mA
		TXD=低, STB=0V ,CANH 开路, CANL 从-5V 到 40V, 如图 7-7		100	mA
I _{OS(SS_rec)}	短路电流(隐性)	TXD=高, STB=0V ,V _{BSU} =CANH=CANL 从-27V 到 32V, 如图 7-7	-5	5	mA
V _{CM}	共模输入范围	常规模式和待机模式, RXD 输出有效,如图 7-2	-30	30	V
V _{IT}	常规模式输入阈值电压	STB=0V, V _{cm} 从 -20V 到 20V, 如图 7-2	500	900	mV
		STB=0V, V _{cm} 从 -30V 到 30V, 如图 7-2	400	1000	mV
V _{IT(HYS)}	常规模式输入阈值迟滞电压	STB=0V	120		mV
V _{IT(STB)}	待机模式输入阈值电压	STB=高, V _{cm} 从 -20V 到 20V(3≤V _{IO} ≤5.5V),如图 7-2	400	1150	mV
V _{IT(STB)}	待机模式输入阈值电压	STB=高, V _{cm} 从 -20V 到 20V(不带 V 版本), 如图 7-2	400	1150	mV
V _{DIFF_D}	常规模式接收显态差分输入电压范围	STB = 高, V _{CM} = -20V to 20V,如图 7-2	0.9	9	V
V _{DIFF_R}	常规模式接收隐态差分输入电压范围	STB = 高, V _{CM} = -20V to 20V,如图 7-2	-4	0.5	V
V _{DIFF_D(STB)}	待机模式接收显态差分输入电压范围	STB = 低, V _{CM} = -20V to 20V,如图 7-2	1.15	9	V
V _{DIFF_R(STB)}	待机模式接收隐态差分输入电压范围	STB = 低, V _{CM} = -20V to 20V,如图 7-2	-4	0.4	V
R _{IN}	CANH/CANL 输入电阻	TXD=高, STB=0V, V _{cm} 从 -30V 到 30V	10	40	kΩ
R _{DIFF}	差分输入电阻	TXD=高, STB=0V, V _{cm} 从 -30V 到 30V	20	80	kΩ
R _{DIFF (M)}	输入电阻匹配	CANH=CANL=5V	-3	3	%
I _{LKG}	输入端漏电流	V _{IO} =V _{CC} = 0V, V _{CANH} = V _{CANL} =5V		5	μA
C _{IN}	输入端电容	TXD=V _{CC} , V _{IO} =V _{CC} , STB=0	24		pF
C _{IN_DIFF}	输入差分电容	CANH 到 CANL, TXD=高	12		pF
过温保护					
T _{TSD}	过温保护		185		°C
T _{TSD_HYS}	过温保护滞回		15		°C

6.6. 开关特性

建议工作条件下, 环境温度 $T_A = -40^{\circ}\text{C}$ 到 125°C 。

表 6-1 开关特性表

参数		测试条件	最小值	典型值	最大值	单位
驱动器开关特性						
t_{ONTXD}	TXD 延迟(隐形到显性)	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		55		ns
t_{OFFTXD}	TXD 延迟(显形到隐性)	STB=0V, $R_L=60\ \Omega$, $C_L=100\text{pF}$, 如图 7-1		75		ns
t_{DTO}	TXD 显性超时	$R_L=60\ \Omega$, C_L open, 如图 7-5	2.5	6.8	10	ms
接收器开关特性						
t_{ONRXD}	RXD 延迟(隐形到显性)	STB=0V, $C_{\text{RXD}}=15\text{pF}$, 如图 7-2		90		ns
t_{OFFRXD}	RXD 延迟(显形到隐性)	STB=0V, $C_{\text{RXD}}=15\text{pF}$, 如图 7-2		100		ns
器件开关特性						
t_{loop1}	环回延迟时间	隐性到显性, $R_L=60\ \Omega$, $C_{\text{RXD}}=100\text{pF}$, 如图 7-3		125	255	ns
t_{loop2}	环回延迟时间	显性到隐性, $R_L=60\ \Omega$, $C_{\text{RXD}}=100\text{pF}$, 如图 7-3		155	255	ns
t_{ONTXD}	模式转换时间	从待机态到常态或者从常态到待机态, 如图 7-4		12	45	μs
$T_{\text{WK_FILTER}}$	有效唤醒的滤波时间	如图 9-4	0.5		1.8	μs
$T_{\text{WK_FILTEROUT}}$	总线唤醒超时	如图 9-4	0.8		10	ms
FD TIMING 特性						
$T_{\text{bit (bus)}}$	bit 时间	STB=0V, 总线侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, CAN FD 2Mbps, 如图 7-6	435		530	ns
$T_{\text{bit (bus)}}$	bit 时间	STB=0V, 总线侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, CAN FD 5Mbps, 如图 7-6	155		210	ns
$T_{\text{bit (rxd)}}$	bit 时间	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, CAN FD 2Mbps, 如图 7-6	400		550	ns
$T_{\text{bit (rxd)}}$	bit 时间	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, CAN FD 5Mbps, 如图 7-6	120		220	ns
T_{rec}	脉冲偏差	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, CAN FD 2Mbps, 如图 7-6	-65		40	ns
T_{rec}	脉冲偏差	STB=0V, 接收侧 $R_L=60\ \Omega$, $C_L=100\text{pF}$, $C_{\text{RXD}}=15\text{pF}$, CAN FD 5Mbps, 如图 7-6	-45		15	ns

7. 参数测量信息

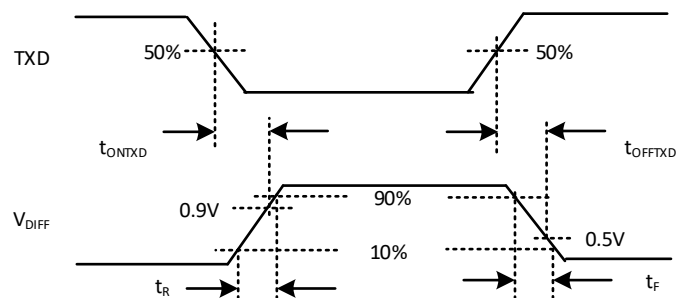
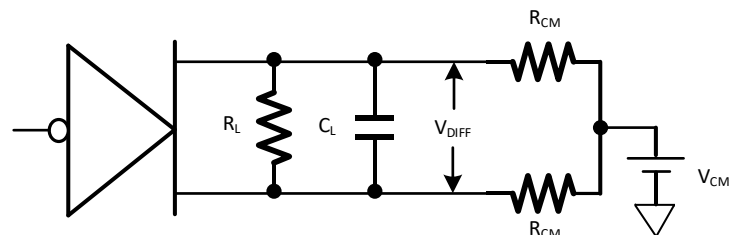


图 7-1 发射通道时序示意图

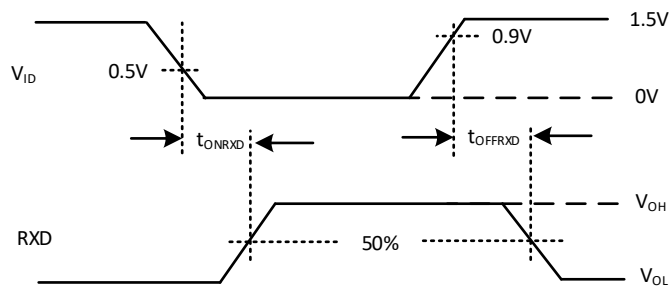
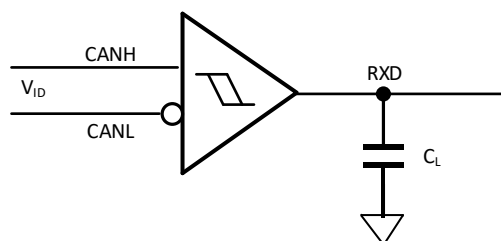


图 7-2 RXD 延迟示意图

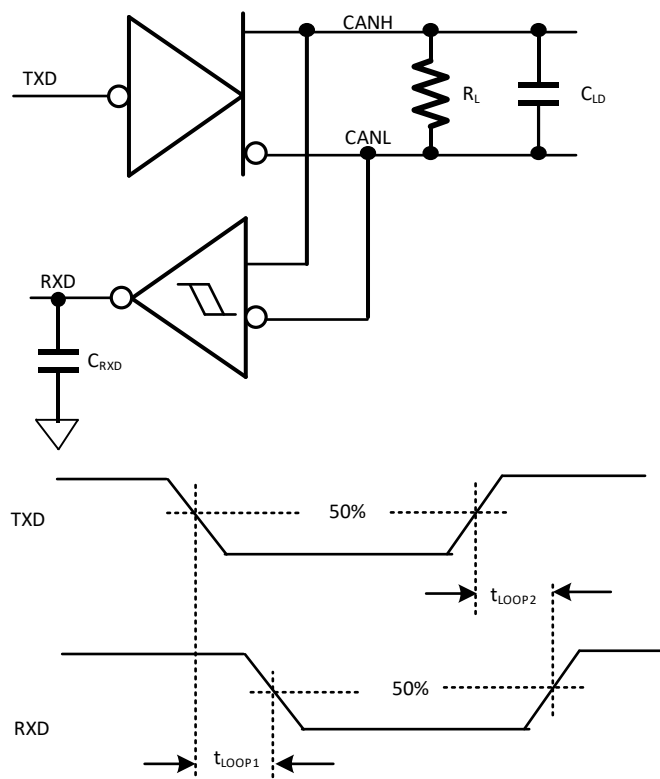


图 7-3 TXD 到 RXD 的环回延迟示意图

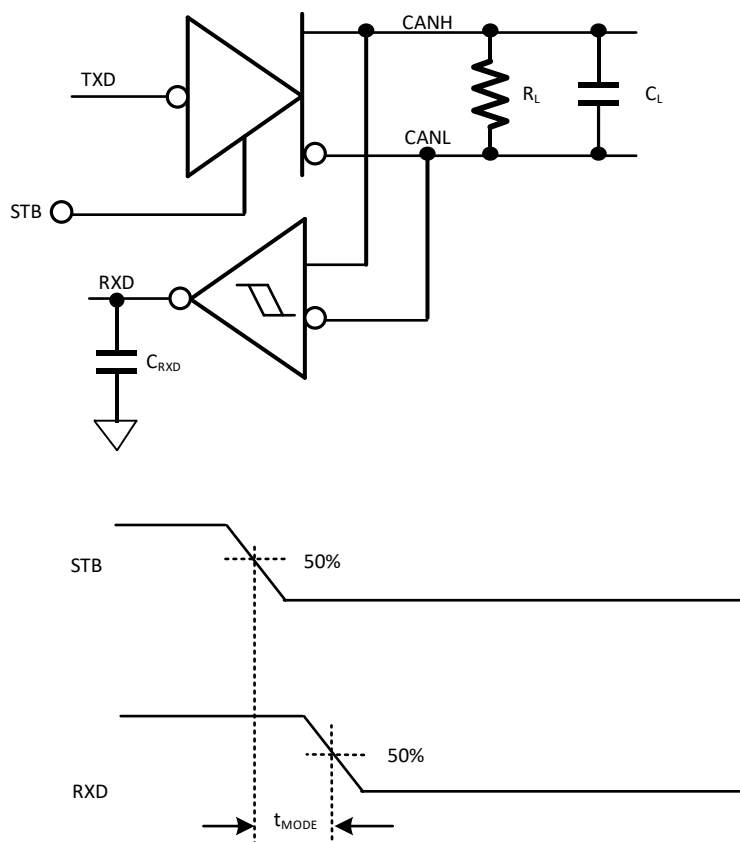


图 7-4 待机态到常态响应示意图

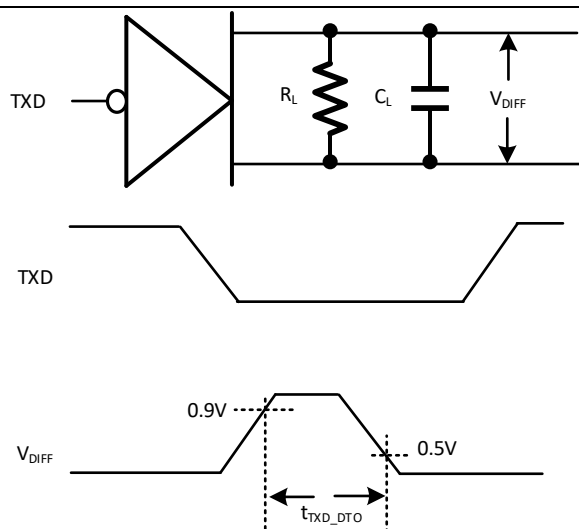


图 7-5 发射端显性超时示意图

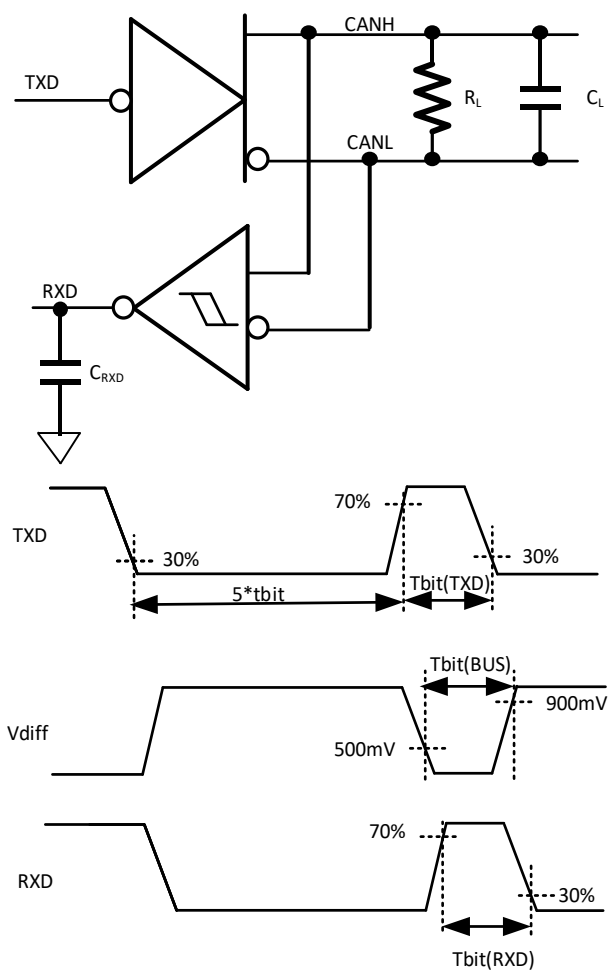


图 7-6 FD 时序示意图

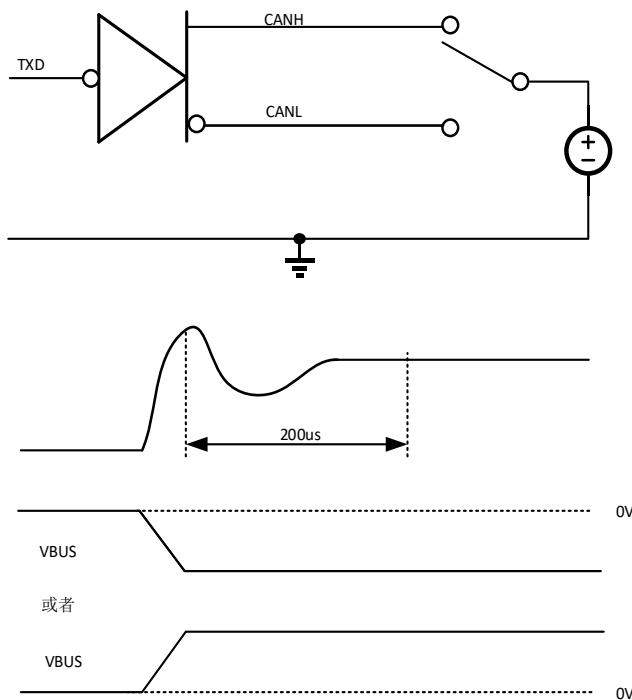
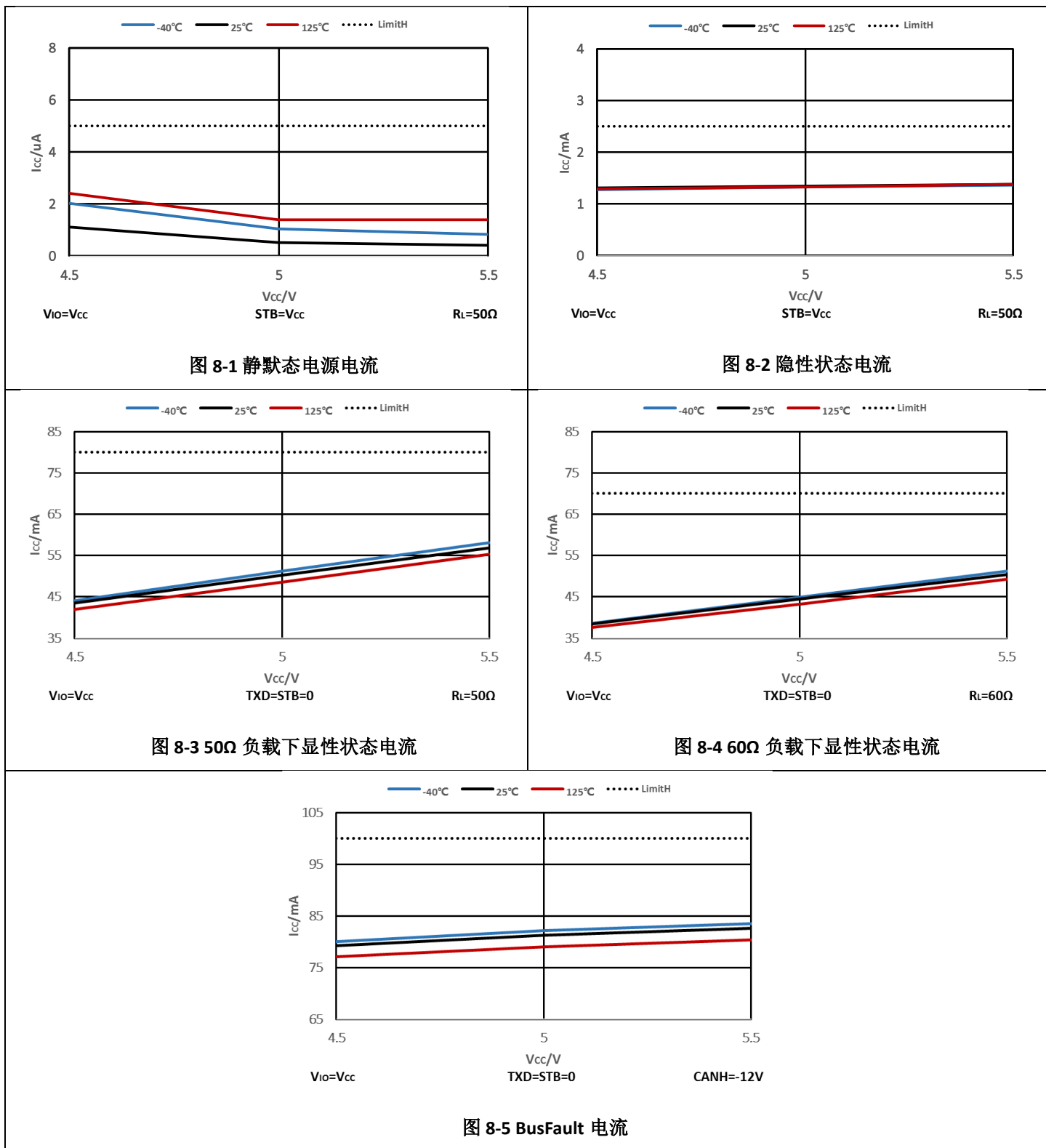


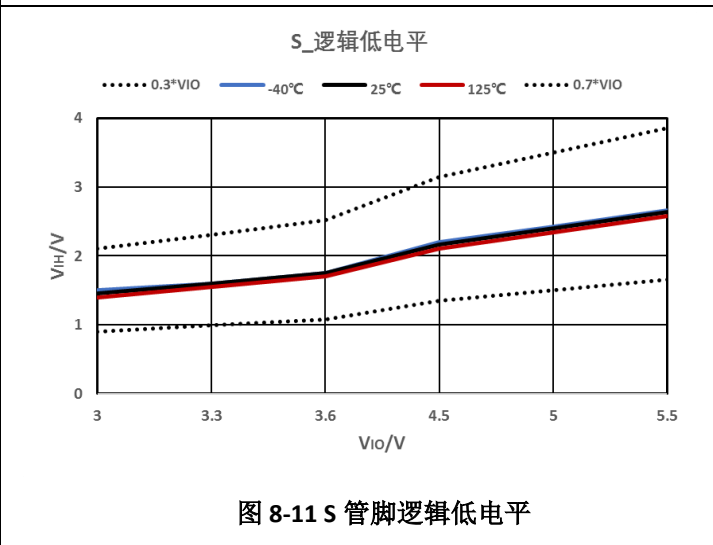
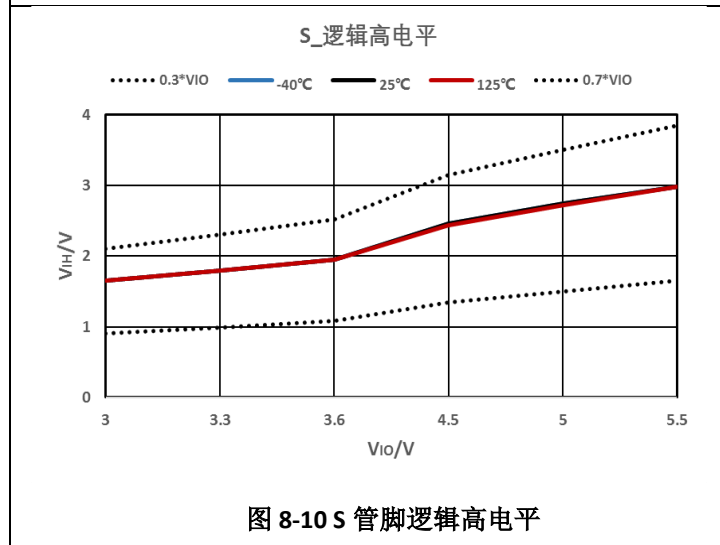
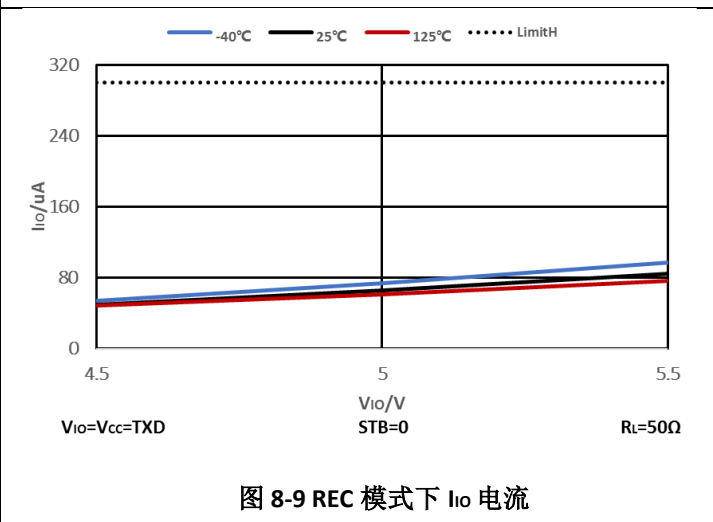
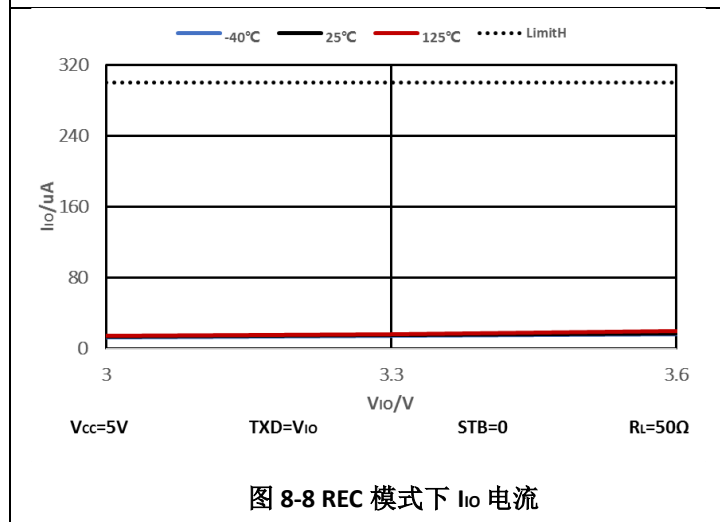
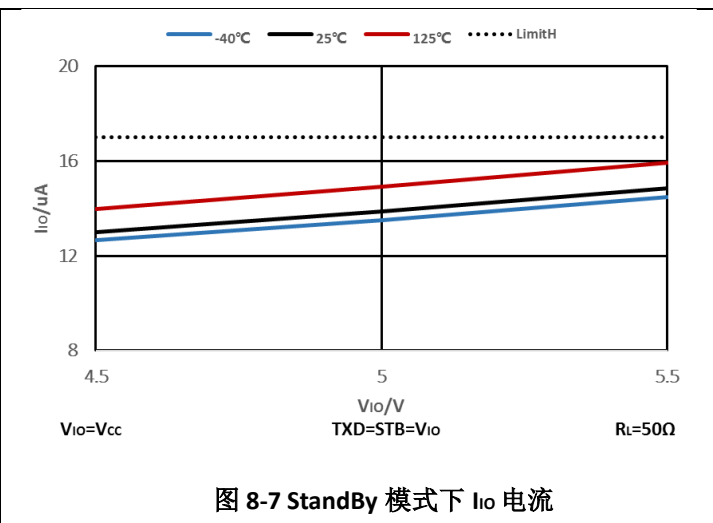
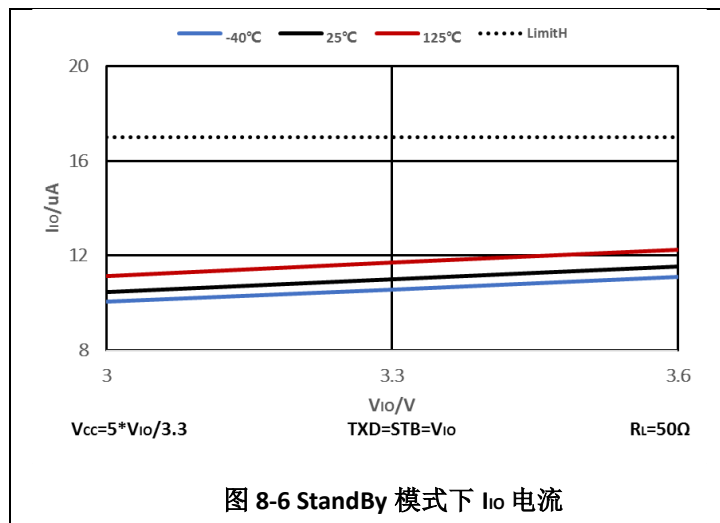
图 7-7 短路电流示意图

8. 典型特性

表 8-1 典型特性



典型特性, 接上页:



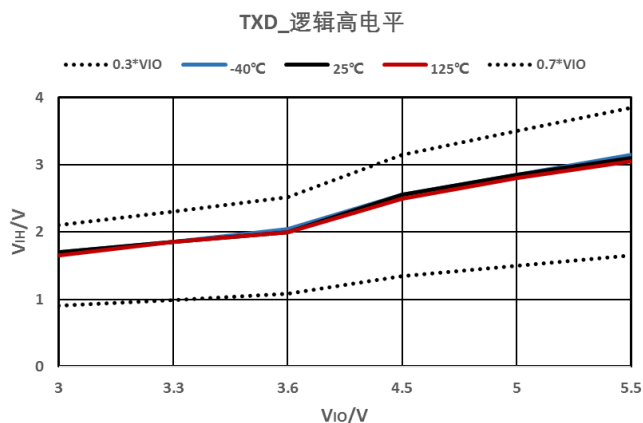


图 8-12 TXD 管脚逻辑高电平

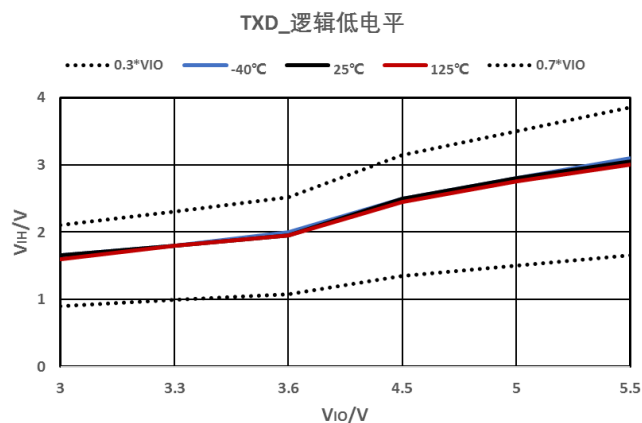


图 8-13 TXD 管脚逻辑低电平

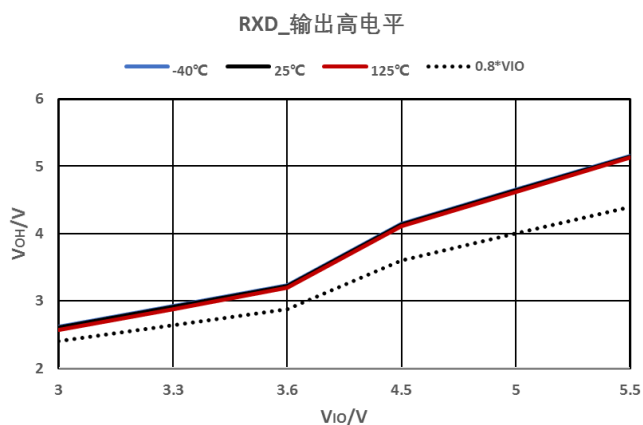


图 8-14 RXD 管脚输出高电平

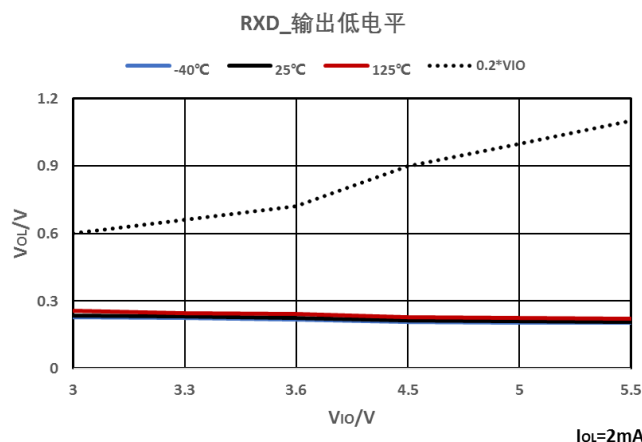


图 8-15 RXD 管脚输出低电平

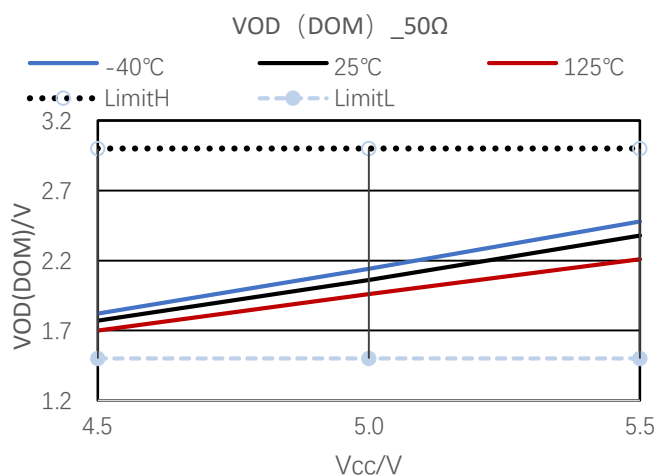


图 8-16 50Ω 负载下差分输出电压

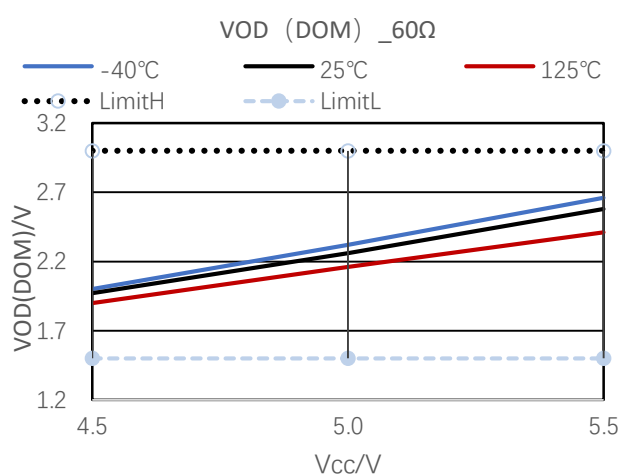


图 8-17 60Ω 负载下差分输出电压

典型特性，接上页：

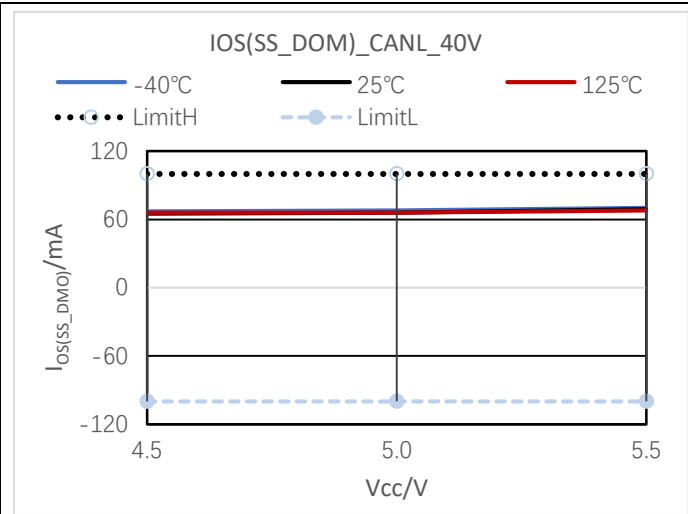


图 8-18 总线短路电流

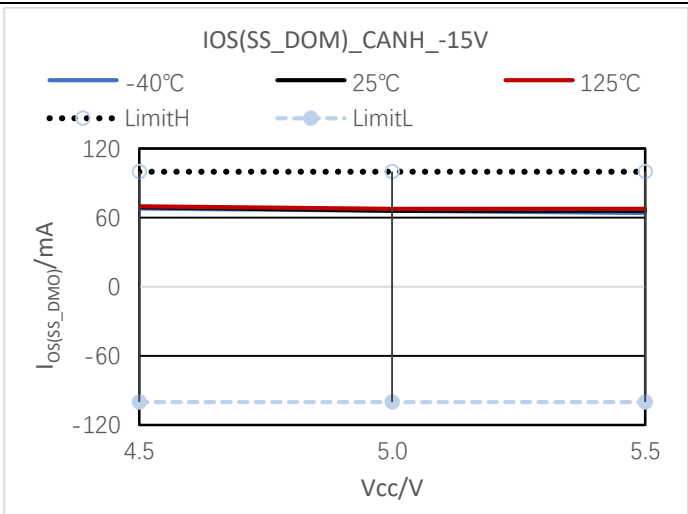


图 8-19 总线短路电流

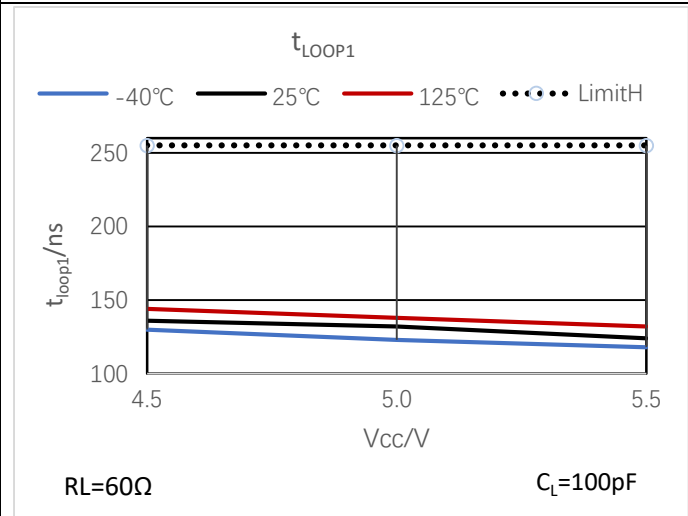


图 8-20 Loop1 Delay

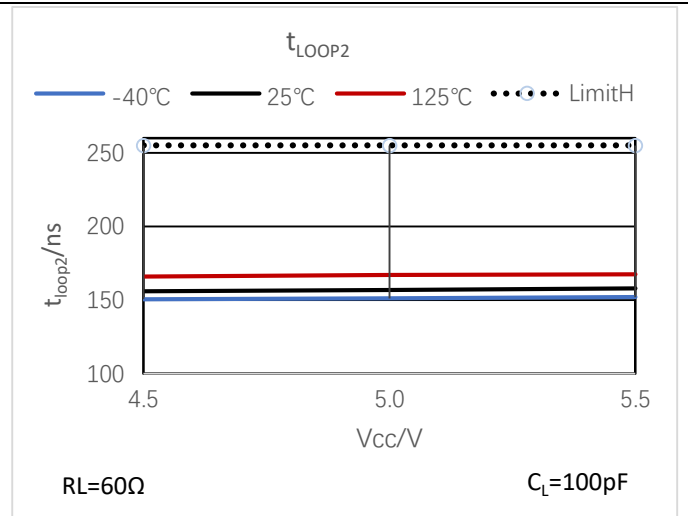


图 8-21 Loop2 Delay

9. 详细说明

9.1. 概述

CA-IF1042-Q1 是一款具有低功耗待机模式的 CAN 收发器芯片，适用于汽车，卡车，公交车，工程车、工业网络控制等领域，支持 5Mbps 的 CAN FD 灵活数据速率，符合 ISO 11898-2:2016 和 ISO 11898-5:2007 物理层标准。

9.2. CAN 总线状态

常规模式下 CAN 总线有两种工作状态：显性和隐性，如图 9-2。显性态时，TXD 为低，总线差分输出，RXD 输出为低。隐性态时，TXD 为高，总线被内部电阻偏置到 $V_{CC}/2$ ，RXD 输出为高。

当 STB 置高，芯片会进入低功耗待机模式，这时，总线会被内部电阻偏置到地，如图 9-1。

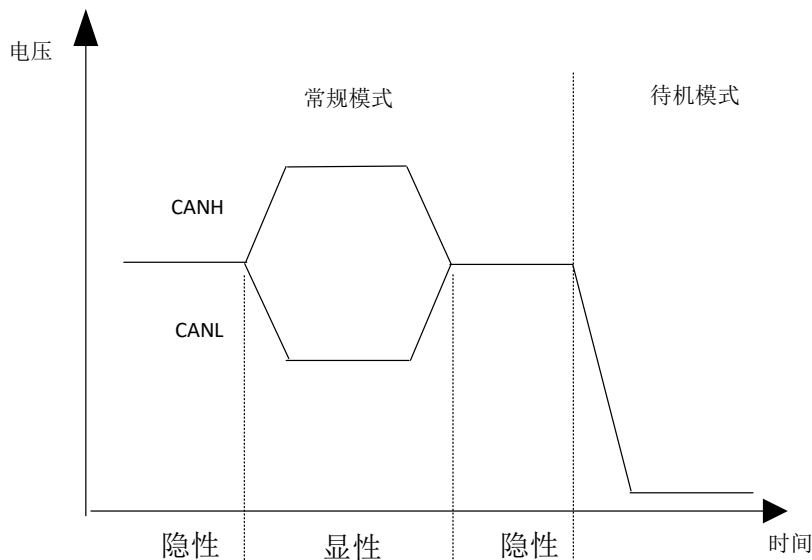


图 9-1 总线状态示例图

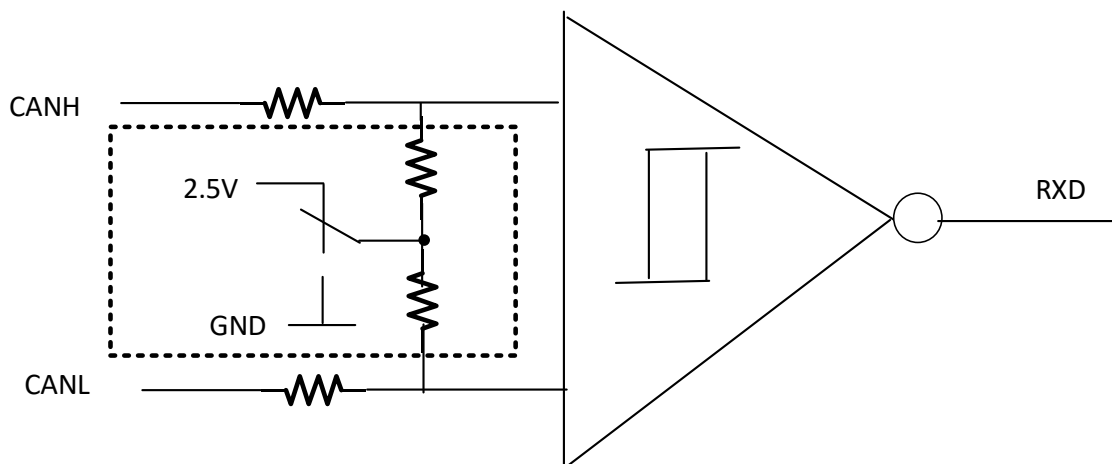


图 9-2 简化的接收器偏置和接收器示例图

9.3. 发射端显性超时功能

在常规模式显性状态下，若 CAN 控制器发生错误时候，会将 TXD 一直拉低，总线就会被钳位在显性状态，显性超时功能则会避免这一状态。显性超时保护被 TXD 的下降沿所触发，当 TXD 处于显性的时间超过 t_{DTo} 时候，发射器会被关闭，以释放总线到隐性状态。在出现显性超时故障后，发射器可以被 TXD 的上升沿重新使能。发射器的显性超时功能限制了可能的最低传输速率为 4kbps。

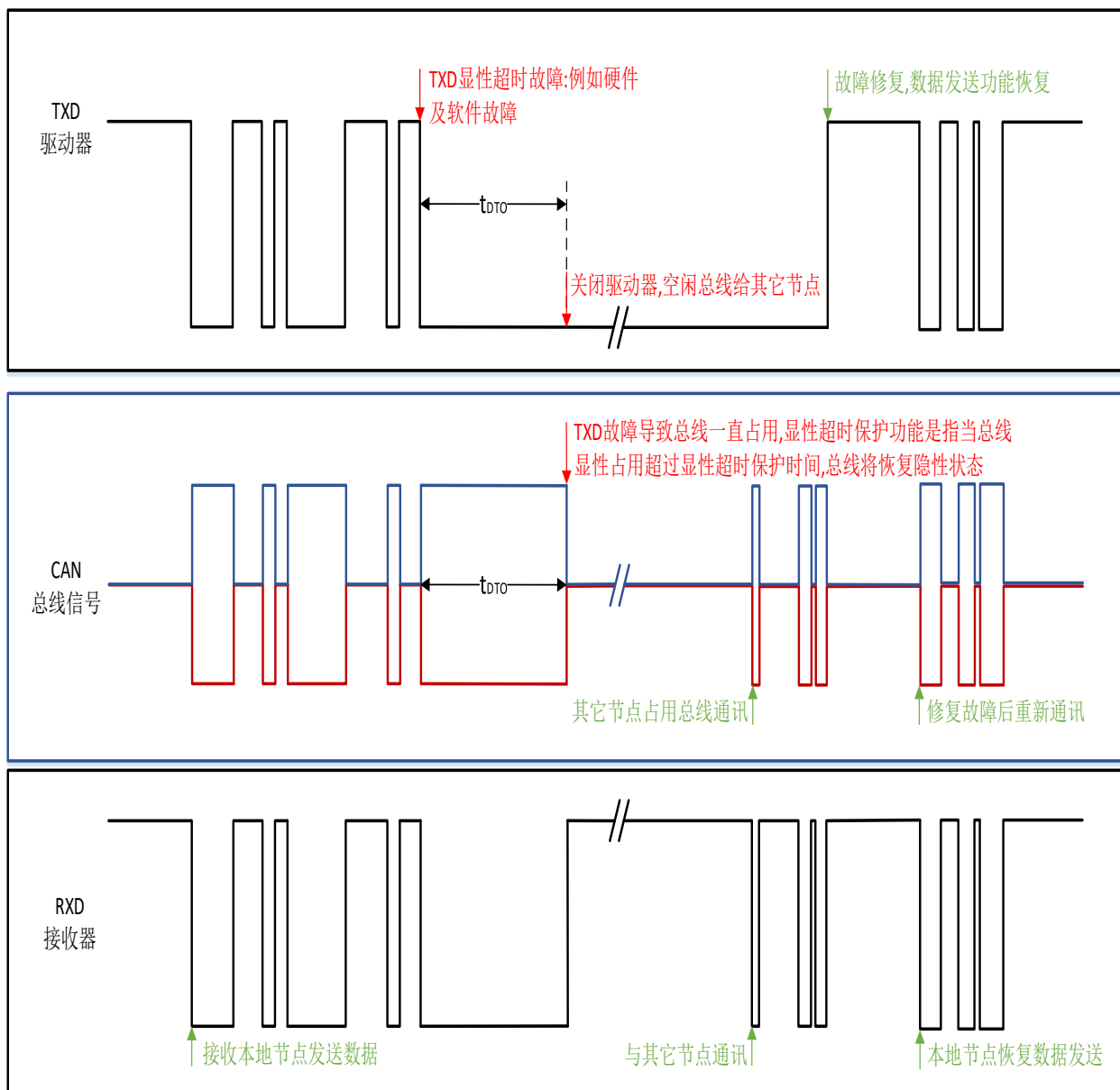


图 9-3 显性超时保护时序示例图

9.4. 欠压保护

V_{CC} 和 V_{IO} 电源具有欠压保护功能。

在 CA-IF1042S-Q1 中，当 V_{CC} 低于 $V_{UV_VCC_SD}$ 时，不管 STB 管脚状态如何，芯片进入到保护态。当 V_{CC} 高于 $V_{UV_VCC_SD}$ 但低于 V_{UV_VCC} 值时，若 STB=GND；保护态，STB= V_{CC} ，待机模式。当 V_{CC} 高于 V_{UV_VCC} 值时，若 STB=GND，正常模式；STB= V_{CC} ，待机模式。详细参考表 9-1。

在 CA-IF1042VS-Q1 中，如果 V_{IO} 电源低于 V_{UV_IO} ，收发器处于保护态。如果 V_{IO} 电源正常而 V_{CC} 欠压，芯片则进入低功耗待机模式或者保护态。详细参考表 9-2。

表 9-2 欠压保护状态表(CA-IF1042S-Q1)

V_{CC}	Device state	BUS Output	RXD
大于 V_{UV_VCC}	STB= V_{CC} ，待机模式	偏置到地	根据唤醒状态
	STB=GND，正常模式	根据 TXD	根据总线
小于 V_{UV_VCC} 并且 大于 $V_{UV_VCC_SD}$	STB= V_{CC} ，待机模式	偏置到地	根据唤醒状态
	STB=GND，保护态	偏置到地	隐形
小于 $V_{UV_VCC_SD}$	保护态	高阻	高阻

表 9-2 欠压保护状态表(CA-IF1042VS-Q1)

V_{CC}	V_{IO}	Device state	BUS Output	RXD
大于 V_{UV_VCC}	大于 V_{UV_IO}	STB= V_{CC} ，待机模式	偏置到地	根据唤醒状态
		STB=GND，正常模式	根据 TXD	根据总线
小于 V_{UV_VCC}	大于 V_{UV_IO}	STB= V_{IO} ，待机模式	偏置到地	根据唤醒状态
		STB=GND，保护态	偏置到地	隐性
X ¹	小于 V_{UV_IO}	保护态	高阻	高阻

注：1.X 表示 V_{CC} 电压无论是大于还是小于 V_{UV_VCC} 。

9.5. 驱动端

在常规工作模式下，当 TXD 输入高电平或者悬空时候，总线输出处于隐性状态，当 TXD 输入低电平时候，总线输出处于显性状态。

表 9-3 驱动器功能表

Device	INPUT	OUTPUT		Bus driver state
	TXD	CANH	CANL	
常规模式	低	高	低	显性
	高或者悬空	高阻	高阻	隐性
待机模式	X	高阻	高阻	弱拉至地

当输出端短路到高或低电平时候，CA-IF1042S-Q1CA-IF1042VS 通过限制驱动级电流来进行短路保护。过温保护功能进一步保护了短路时产生的过热，当短路移除后，驱动端将回到正常工作状态。

9.6. 接收端

接收端读取总线(CANH,CANL)上的差分输入数据并将其转化为单端输出(RXD)到 CAN 控制器。其内部包含一个比较器，比较器读取差分电压 $V_{DIFF}=(CANH-CANL)$ ，同内部的 0.7V 阈值电压进行比较。如果 $V_{DIFF}>0.9V$,输出低电平到 RXD，如果 $V_{DIFF}<0.5V$,输出高电平到 RXD。

总线 CANH 和 CANL 的共模电压范围为 $\pm 30V$ 。当 CANH 和 CANL 发生短路，断路或者悬空时，RXD 输出高电平。

表 9-4 接收器功能表

Device Mode	VID=VCANH-VCANL	BUS state	RXD
常规模式	VID>0.9V	显性	低
	0.5V<VID<0.9V	未知	未知
	VID<0.5V	隐性	高
待机模式	VID>1.15V	显性	唤醒后根据总线状态
	0.4V<VID<1.15V	未知	
	VID<0.4V	隐性	
任何情况	OPEN(VID=0V)	OPEN	高

9.7. 过温保护

当结温超过过温保护阈值时，驱动端会关断。在过温时，CANH 和 CANL 处于高阻态，而接收端一直工作。当结温回退至正常工作温度范围内，驱动端回到正常的工作模式。

9.8. 非上电状态

当没有上电时候，总线端处于高阻态，小的漏电流允许总线上挂更多的器件。

9.9. 悬空端口状态

当 TXD 端口悬空时候，内部上拉至电源，使得总线输出处于隐性状态。当 STB 端口悬空时候，内部上拉至电源，器件处于待机模式以节省功耗。

9.10. V_{IO} 电源

在 CA-IF1042VS-Q1 中带有 V_{IO} 电源，芯片逻辑端口可以直接和微控制器相连接，芯片内部会将逻辑电平转换为 5V 电压域。该版本支持 3V 到 5.5V 的逻辑输入。在 3V~5.5V 电源时，待机模式下支持 $\pm 20V$ 的总线唤醒共模电压。

9.11. 工作模式

CA-IF1042-Q1 有两种工作模式:常规模式和待机模式。模式选择由 STB 管脚来控制。

表 9-5 工作模式表

STB	Mode	Driver	Receiver	RXD
高	待机模式	关闭	低功耗接收器工作	唤醒后根据总线
低	常规模式	工作	工作	根据总线

9.10.1 常规模式

当 STB 端口拉低时候，器件处于常规模式。在此模式下，收发器都正常工作并支持双向的总线通信。

9.10.2 待机模式

当 STB 端口拉高或者悬空时候, 器件处于待机模式。在此模式下, 驱动器和主接收器都被关闭, 不支持双向通信。低功耗接收器工作, 以接受总线的唤醒请求。唤醒序列如图 9-4 所示, 控制器检测 RXD 从高跳低后将 STB 管脚拉低以使器件回到常规模式。

在待机模式下, 总线被偏置到地以节省功耗。

9.10.3 远程唤醒

总线上的一个特定的唤醒序列可以将芯片从待机模式唤醒 (根据 ISO 11898-2:2016)。

唤醒序列包含:

- 显性态至少持续 T_{wk_FILTER} , 然后
- 隐性态至少持续 T_{wk_FILTER} , 然后
- 显性态至少持续 T_{wk_FILTER}

上述中的显性或者隐性位宽若小于 T_{wk_FILTER} 将会被忽略。

该完整的显性-隐性-显性序列必须小于 $T_{wk_FILTEROUT}$ 以被有效识别 (图 9-4), 否则, 内部的唤醒逻辑会被重置, 必须等待下一个完整的唤醒序列来触发唤醒行为。在有效唤醒前, RXD 管脚一直为高电平。

再检测到完整的唤醒序列后, 芯片仍处于待机模式下, RXD 管脚输出总线的信号。总线的信号若小于 T_{WK_FILTER} 时间, 将不会被低功耗接收器识别并输出到 RXD 管脚上。

在有效唤醒后, 若发生以下行为, RXD 管脚仍将不会显示唤醒行为:

- 芯片切换到常规模式;
- 在 $T_{wk_FILTEROUT}$ 时间内, 完整的唤醒序列没有被接受到;
- V_{IO} 发生欠压 ($V_{IO} < UV_{VIO}$);

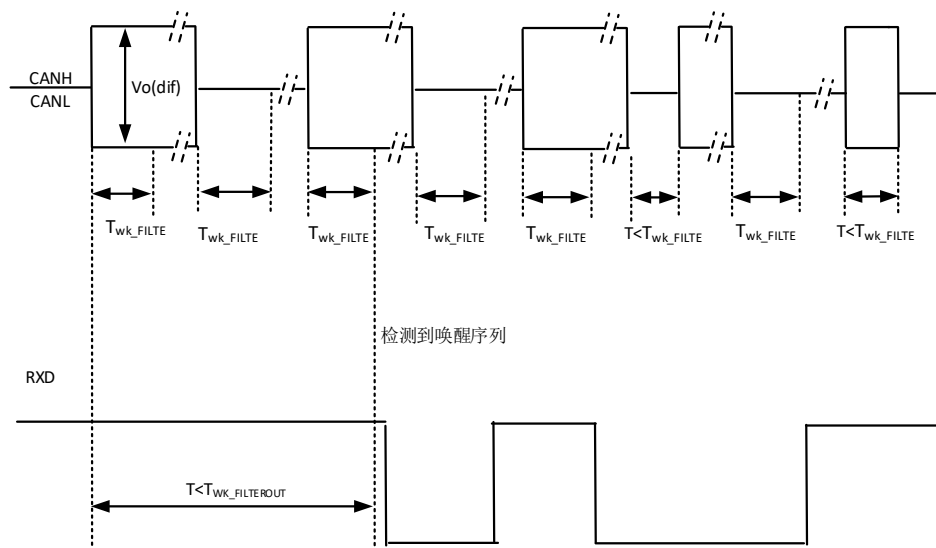


图 9-4 唤醒超时保护时序示例图

10. 应用信息

图 10-1 给出了 CA-IF1042S-Q1 版本的典型应用图， V_{CC} 电源与 MCU 的电源连接在一起。

图 10-2 给出了 CA-IF1042VS-Q1 版本的典型应用图， V_{IO} 电源与 MCU 的电源连接在一起。

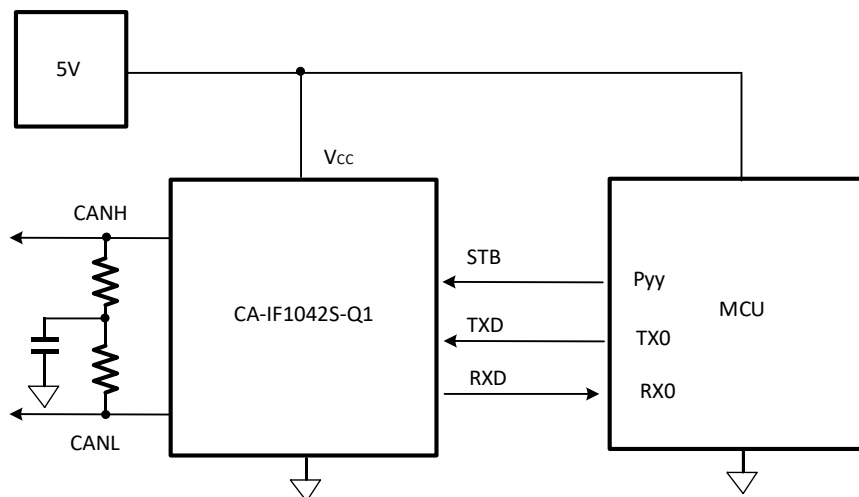


图 10-1 CA-IF1042S-Q1 CAN 总线典型应用图

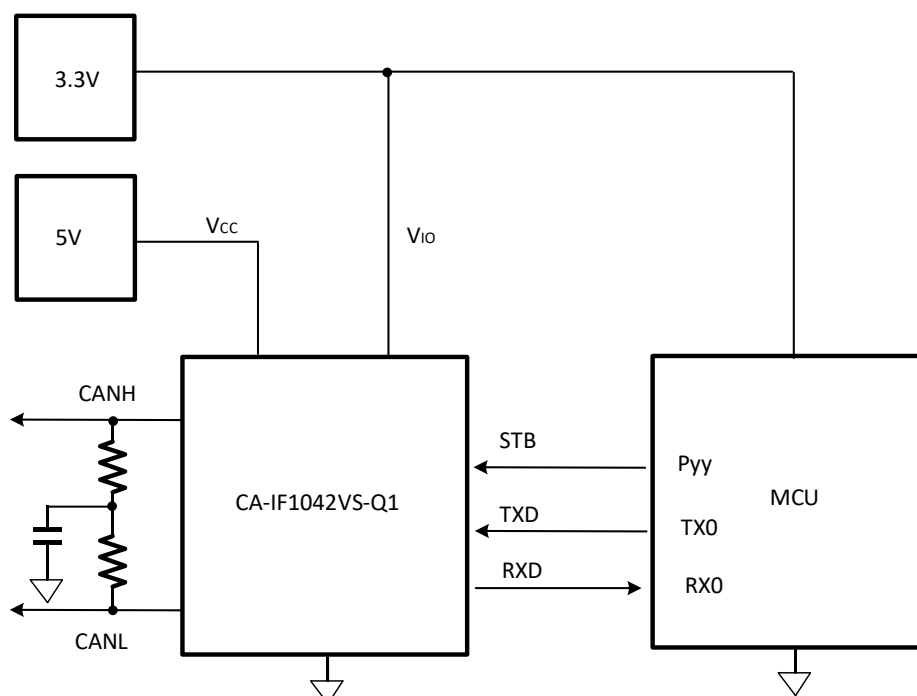


图 10-2 CA-IF1042VS-Q1 CAN 总线典型应用图

SOIC8 封装尺寸图和建议焊盘尺寸图。尺寸以毫米为单位



图 10-1 SOIC8 封装尺寸图

11.1. 焊接信息

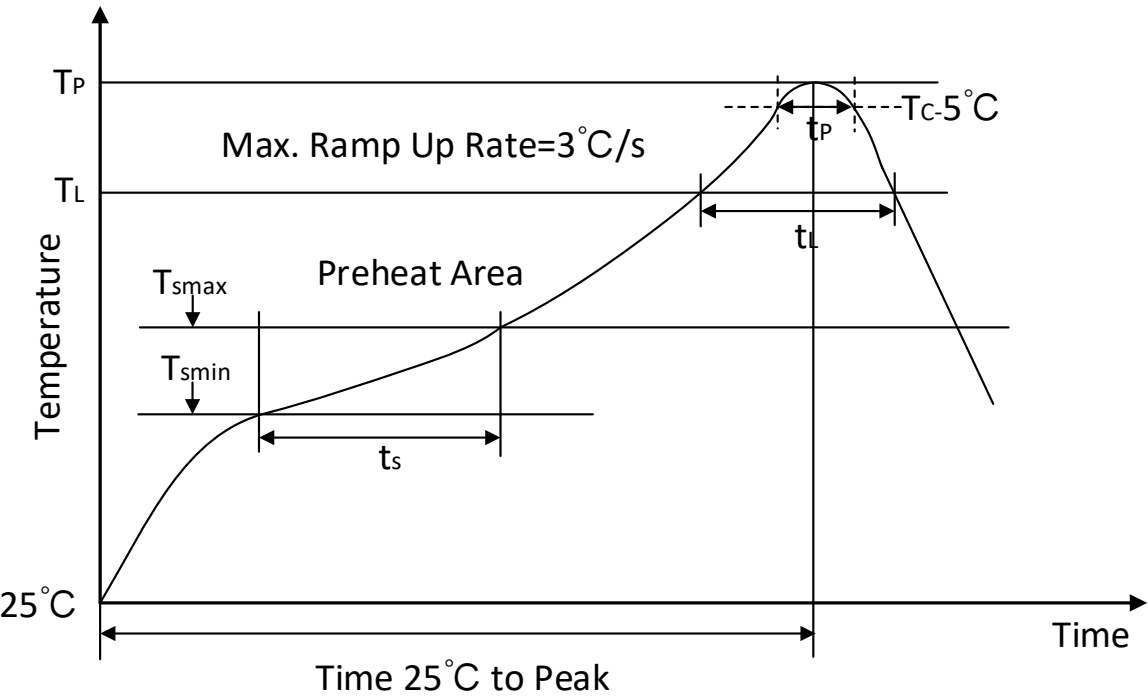
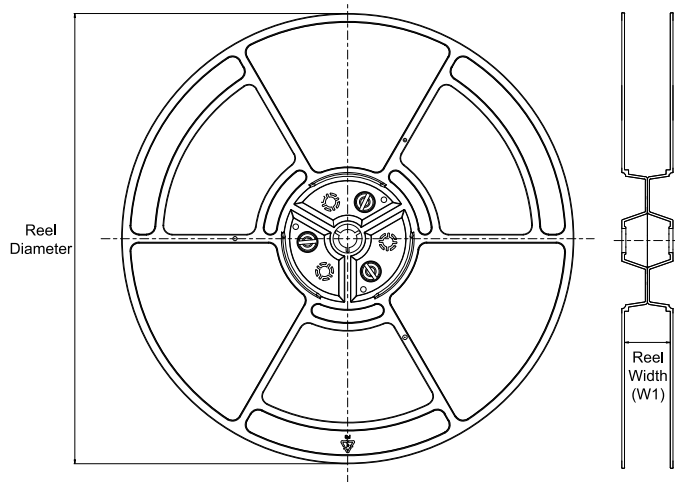


图 12- 1 焊接温度曲线

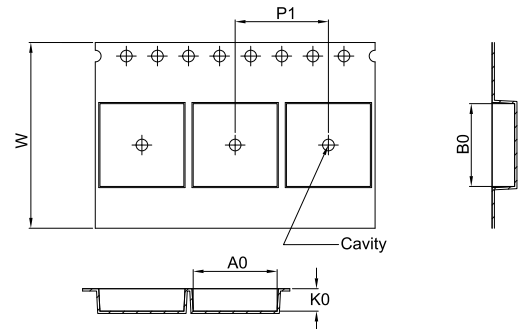
简要说明	无铅焊接
温升速率（ $T_L=217^{\circ}\text{C}$ 至峰值 T_p ）	最大 3°C/s
$T_{smin}=150^{\circ}\text{C}$ 到 $T_{smax}=200^{\circ}\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_p	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率（峰值 T_p 至 $T_L=217^{\circ}\text{C}$ ）	最大 6°C/s
常温 25°C 到峰值温度 T_p 时间	最长 8 分钟

11.2. 编带信息

REEL DIMENSIONS

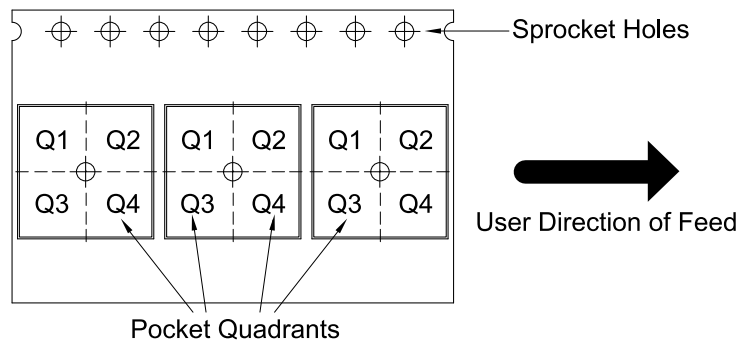


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF1042S-Q1	SOIC8	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IF1042VS-Q1	SOIC8	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1

12. 附录

ISO11898-2:2016 标准和 CA-IF1042 数据手册对比表

ISO 11898-2:2016		CA-IF1042 Datasheet	
Parameter	Note	Symbol	Parameter
HS-PMA dominant output characteristics			
Single ended voltage on CAN_H	V _{CAN_H}	V _{O(DOM)}	dominant output voltage
Single ended voltage on CAN_L	V _{CAN_L}		
Differential voltage on normal bus load	V _{Diff}	V _{OD(DOM)}	dominant differential output voltage
Differential voltage on effective resistance during arbitration			
Optional: Differential voltage on extended bus load range			
HS-PMA driver symmetry			
Driver symmetry	V _{sym}	V _{sym}	transmitter voltage symmetry
Maximum HS-PMA driver output current			
Absolute current on CAN_H	I _{CAN_H}	I _{OS(SS_DOM)}	dominant short-circuit output current
Absolute current on CAN_L	I _{CAN_L}		
HS-PMA recessive output characteristics, bus biasing active/inactive			
Single ended output voltage on CAN_H	V _{CAN_H}	V _{O(REC)}	recessive output voltage
Single ended output voltage on CAN_L	V _{CAN_L}		
Differential output voltage	V _{Diff}	V _{OD(REC)}	recessive differential output voltage
Optional HS-PMA transmit dominant timeout			
Transmit dominant timeout, long	t _{dom}	t _{DOM}	TXD dominant time-out time
Transmit dominant timeout, short			
HS-PMA static receiver input characteristics, bus biasing active/inactive			
Recessive state differential input voltage range Dominant state differential input voltage range	V _{Diff}	V _{DIFF_D} V _{DIFF_R} V _{DIFF_D(STB)} V _{DIFF_R(STB)}	Receiver dominant/recessive state differential input voltage range in normal /standby mode
HS-PMA receiver input resistance (matching)			
Differential internal resistance	R _{Diff}	R _{DIFF}	differential input resistance
Single ended internal resistance	R _{CAN_H} R _{CAN_L}	R _{IN}	input resistance
Matching of internal resistance	m _R	R _{DIFF(M)}	input resistance deviation
HS-PMA implementation loop delay requirement			
Loop delay	t _{Loop}	t _{loop2}	delay time from TXD HIGH to RXD HIGH
		t _{loop1}	delay time from TXD LOW to RXD LOW
Optional HS-PMA implementation data signal timing requirements for use with bit rates above 1 Mbit/s up to 2 Mbit/s and above 2 Mbit/s up to 5 Mbit/s			
Transmitted recessive bit width @ 2 Mbit/s / @ 5 Mbit/s, intended	t _{Bit(BUS)}	t _{bit(BUS)}	transmitted recessive bit width
Received recessive bit width @ 2 Mbit/s / @ 5 Mbit/s	t _{Bit(RXD)}	t _{bit(RXD)}	bit time on pin RXD
Receiver timing symmetry @ 2 Mbit/s / @ 5 Mbit/s	Δt _{Rec}	Δt _{Rec}	receiver timing symmetry
HS-PMA maximum ratings of V _{CAN_H} , V _{CAN_L} and V _{Diff}			
Maximum rating V _{Diff}	V _{Diff}	V(DIFF)	voltage between pin CANH and pin CANL

General maximum rating V _{CAN_H} and V _{CAN_L}	V _{CAN_H} V _{CAN_L}	V(BUS)	voltage on CANH, CANL pin
Optional: Extended maximum rating VCAN_H and VCAN_L			
HS-PMA maximum leakage currents on CAN_H and CAN_L, unpowered			
Leakage current on CAN_H, CAN_L	I _{CAN_H} I _{CAN_L}	I _{LKG}	leakage current
HS-PMA bus biasing control timings			
CAN activity filter time, long	t _{Filter}	t _{WK_FILTER}	bus dominant wake-up time bus recessive wake-up time
CAN activity filter time, short			
Wake-up timeout, short	t _{Wake}	t _{WK_TIMEOUT}	bus wake-up time-out time
Wake-up timeout, long			
Timeout for bus inactivity	t _{Silence}	t _{DTO}	bus silence time-out time
Bus Bias reaction time	t _{Bias}	t _{ONTXD}	delay time from bus active to bias or from bias to active

13. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>